

PATENT

Atty. Docket No. 678-1404 (P11931)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT(S): Takahiko KISHI
SERIAL NO.: not yet assigned
FILED: concurrent herewith
FOR: **AUTOMATIC GAIN CONTROLLER**
DATED: March 8, 2004

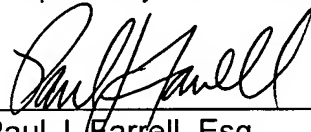
Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENTS

Sir:

Enclosed is a certified copy of Japanese Patent Appln. No. 59764
filed on March 6, 2003, from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,


Paul J. Farrell, Esq.
Reg. No. 33,494
Attorney for Applicant(s)

DILWORTH & BARRESE, LLP
333 Earle Ovington Blvd.
Uniondale, NY 11553
(516) 228-8484

CERTIFICATION UNDER 37 C.F.R. 1.10

I hereby certify that this New Application Transmittal and the documents referred to as enclosed therein are being deposited with the United States Postal Service in an envelope as "Express Mail Post Office to Addressee" Mail Label Number EL995745602US addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date listed below.

Dated: March 8, 2004


Jongwon Kim

TAKAHIKO KISHI
ATTY. DOCAET.: 678-1404
(P11931)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 5 9 7 6 4
Application Number:

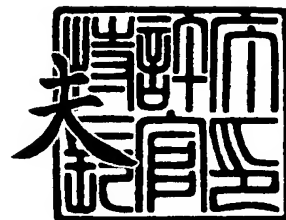
[ST. 10/C]: [J P 2 0 0 3 - 0 5 9 7 6 4]

出 願 人 三星電子株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 2 2 9 7

【書類名】 特許願

【整理番号】 02122101

【提出日】 平成15年 3月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H03G 3/20

【発明の名称】 自動利得制御装置

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県横浜市鶴見区菅沢町 2 - 7 株式会社サムスン
横浜研究所 電子研究所内

【氏名】 岸 孝彦

【特許出願人】

【識別番号】 598045058

【氏名又は名称】 株式会社サムスン横浜研究所

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【弁理士】

【氏名又は名称】 鈴木 三義

【選任した代理人】

【識別番号】 100107836

【弁理士】

【氏名又は名称】 西 和哉

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9812566

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 自動利得制御装置

【特許請求の範囲】

【請求項 1】 入力信号を増幅する第 1 の可変利得増幅手段と、
第 1 の可変利得増幅手段の出力信号の帯域を制限するフィルタと、
フィルタの出力信号を増幅して外部へ出力する第 2 の可変利得増幅手段と、
前記第 1 の可変利得増幅手段の出力信号レベルを所定レベルに制御するための
制御信号を生成する第 1 の制御信号生成手段と、

前記第 2 の可変利得増幅手段の出力信号レベルを所定レベルに制御するための
制御信号を生成し、前記第 2 の可変利得増幅手段へ出力する第 2 の制御信号生成
手段と、

前記第 1 の制御信号生成手段が出力する制御信号と前記第 2 の制御信号生成手
段が出力する制御信号のいずれか一方を選択して、前記第 1 の可変利得増幅手段
へ出力する制御信号選択手段と
を備えたことを特徴とする自動利得制御装置。

【請求項 2】 入力信号を増幅する第 1 の可変利得増幅手段と、
第 1 の可変利得増幅手段の出力信号の帯域を制限するフィルタと、
フィルタの出力信号を増幅する第 2 の可変利得増幅手段と、
フィルタの出力信号を増幅して外部へ出力する第 3 の可変利得増幅手段と、
前記第 1 の可変利得増幅手段の出力信号レベルを所定レベルに制御するための
制御信号を生成する第 1 の制御信号生成手段と、

前記第 2 の可変利得増幅手段の出力信号レベルを所定レベルに制御するための
制御信号を生成し、前記第 2 の可変利得増幅手段へ出力する第 2 の制御信号生成
手段と、

応答特性が前記第 2 の制御信号生成手段の応答特性より高速に設定されると共
に、前記第 3 の可変利得増幅手段の出力信号レベルを所定レベルに制御するた
めの制御信号を生成し、前記第 3 の可変利得増幅手段へ出力する第 3 の制御信号生
成手段と、

前記第 1 の制御信号生成手段が出力する制御信号と前記第 2 の制御信号生成手

段が出力する制御信号のいずれか一方を選択して、前記第1の可変利得増幅手段へ出力する制御信号選択手段と
を備えたことを特徴とする自動利得制御装置。

【請求項3】 前記第2の制御信号生成手段と前記第3の制御信号生成手段が、前記第2の制御信号生成手段の制御情報を、前記第3の制御信号生成手段へ複写する制御情報複写手段を備え、

前記制御情報複写手段は、前記制御信号選択手段が、前記第2の制御信号生成手段が出力する制御信号を選択して前記第1の可変利得増幅手段へ出力する場合、前記第2の制御信号生成手段の制御情報を、前記第3の制御信号生成手段へ複写する

ことを特徴とする請求項2に記載の自動利得制御装置。

【請求項4】 少なくとも前記第1の制御信号生成手段の生成する制御信号の単位時間あたりの変化量が所定値より小さい場合には、前記制御情報複写手段が、前記第3の制御信号生成手段に対する前記第2の制御信号生成手段の制御情報の複写を許可する

ことを特徴とする請求項3に記載の自動利得制御装置。

【請求項5】 前記制御信号選択手段は、前記第1の制御信号生成手段が出力する制御信号と前記第2の制御信号生成手段が出力する制御信号との比較を行うと共に、前記第1の可変利得増幅手段の利得が低くなる方の制御信号を選択して前記第1の可変利得増幅手段へ出力する

ことを特徴とする請求項1から請求項4のいずれかに記載の自動利得制御装置。

【請求項6】 後段に接続された信号復調部より受信信号の品質情報を取得すると共に、前記第1の制御信号生成手段において入力された信号のレベルに基づいた制御信号を生成する際に、該入力された信号のレベルと比較される基準値を、該品質情報の良否に応じて変更する基準値変更手段

を備えたことを特徴とする請求項1から請求項5のいずれかに記載の自動利得制御装置。

【請求項7】 前記基準値変更手段が、前記第1の制御信号生成手段の出力する制御信号のレベルと前記第2の制御信号生成手段の出力する制御信号のレベ



ルとの比較結果、及び帯域内の受信信号レベルと所定値との比較結果に基づいて、前記基準値を変更する

ことを特徴とする請求項 6 に記載の自動利得制御装置。

【請求項 8】 前記フィルタの帯域内信号レベルと帯域外信号レベルとの比較に基づいて、前記フィルタより前段の回路と前記フィルタより後段の回路との利得配分を調整するための利得配分調整手段

を備えたことを特徴とする請求項 1 から請求項 7 のいずれかに記載の自動利得制御装置。

【請求項 9】 前記第 1 の制御信号生成手段が生成する制御信号を制御電圧 V_3 、前記第 2 の制御信号生成手段が生成する制御信号を制御電圧 V_1 とすると共に、前記制御電圧 V_1 に対する全体の利得特性を $G(V_1)$ 、前記制御電圧 V_1 に対する前記フィルタより前段の回路の利得特性を $G_3(V_1)$ とする場合、前記制御電圧 V_3 が前記制御電圧 V_1 以上である時には、前記制御電圧 V_1 を前記フィルタの帯域内の信号強度とし、前記制御電圧 V_3 が前記制御電圧 V_1 未満である時には、式

$$V = V_1 + (G_3(V_1) / G(V_1)) (V_1 - V_3)$$

で示される計算値 V を前記フィルタの帯域内の信号強度とする信号強度算出手段を備えたことを特徴とする請求項 1 から請求項 8 のいずれかに記載の自動利得制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、自動利得制御装置に関する。

【0002】

【従来の技術】

従来、制御ループ内にフィルタが存在する自動利得制御装置においては、フィルタでの信号遅延による応答特性の遅れから、自動利得制御装置の出力信号が収束しない場合があるため、これを防止するために、信号に急なレベル変動がある場合には、信号から制御信号を生成する制御信号生成手段を、より時定数の速い

ものに切り換えて、フィルタによる制御信号の遅延を改善すると共に、両者の間で制御情報を複写することで、切り換え時にも自動利得制御装置の出力信号にレベル変動が発生しないように制御するものがある（例えば、特許文献1参照。）

。

【0003】

また、制御ループ内にフィルタが存在する自動利得制御装置において、自動利得制御のレベル制御をフィルタ帯域内の信号により行くと、フィルタ帯域内の信号レベルに合わせて自動利得制御が収束するため、フィルタ帯域外の信号がフィルタ帯域内の信号よりも大きい場合に、フィルタの前段に配置された増幅器等においてフィルタの帯域外の信号による飽和が発生する。そのため、これを防止するように、フィルタを介して増幅器をカスケード接続し、フィルタの前後の増幅器において個別の自動利得制御を行うものがある（例えば、特許文献2参照。）

。

【0004】

【特許文献1】

特許第3240458号公報

【特許文献2】

特許第3086060号公報

【0005】

【発明が解決しようとする課題】

しかし、特許文献1に記載の技術では、フィルタでの信号遅延による応答特性の遅れを改善し、自動利得制御装置の出力信号を収束させることができるものの、自動利得制御のレベル制御をフィルタ帯域内の信号により行くと、フィルタ帯域外の信号がフィルタ帯域内の信号よりも大きい場合に、フィルタの前段に配置された増幅器等においてフィルタの帯域外の信号による飽和が発生するという問題を解決できていなかった。

【0006】

また、特許文献2に記載の技術では、フィルタ帯域外の信号のレベル変動に追従してフィルタの前段での信号レベルが調節されるものの、フィルタ帯域外の信

号の変動に追従して、フィルタの前段での増幅器における自動利得制御が高速に
応答すると、変動が発生していないフィルタ帯域内の目的信号に不必要な変動を
与えてしまう可能性があった。

【0007】

すなわち、フィルタ帯域外の信号の変動に追従して、フィルタの前段での増幅
器における自動利得制御が高速に応答すると、変動が発生していないフィルタ帯
域内の目的信号に不必要な変動を与えてしまうため、フィルタ後段での増幅器に
おける自動利得制御でも、この目的信号の変動に追従するべく、高速な応答特性
が要求される。ところが、目的信号に対して自動利得制御が高速に応答すると、
自動利得制御により信号が変調されることとなり、自動利得制御の振幅圧縮作用
によって信号に歪みが生じるという問題があった。

【0008】

従って、特許文献2に記載の技術では、フィルタ帯域外の信号の変動に対する
フィルタの前段での増幅器における自動利得制御を低速なものにし、自動利得制
御の応答特性が遅いために発生するフィルタ帯域外の信号による雑音等の影響を
許容するか、あるいはフィルタの前段、及び後段での増幅器における自動利得制
御を両方とも高速なものにし、フィルタ後段での増幅器の自動利得制御による目
的信号の歪みを許容するかを選択しかないため、どちらにせよ通信品質を向上さ
せることができなかった。

【0009】

本発明は、上記問題点に鑑みてなされたもので、目的信号抽出用フィルタの帯
域外の信号や、制御信号の遅延による信号の飽和や歪みを低減すると共に、フィ
ルタ帯域内の信号レベルを正確に測定可能な自動利得制御装置を提供することを
目的とする。

【0010】

【課題を解決するための手段】

上記課題を解決するために、請求項1の発明に係る自動利得制御装置は、入力
信号を増幅する第1の可変利得増幅手段（例えば実施の形態のAGCアンプc4
）と、第1の可変利得増幅手段の出力信号の帯域を制限するフィルタ（例えば実

施の形態の I 側チャネルフィルタ 10 と Q 側チャネルフィルタ 11) と、フィルタの出力信号を増幅して外部へ出力する第 2 の可変利得増幅手段 (例えば実施の形態の I 側 AGC アンプ a 12 と Q 側 AGC アンプ a 13) と、前記第 1 の可変利得増幅手段の出力信号レベルを所定レベルに制御するための制御信号を生成する第 1 の制御信号生成手段 (例えば実施の形態の AGC 制御部 c 20) と、前記第 2 の可変利得増幅手段の出力信号レベルを所定レベルに制御するための制御信号を生成し、前記第 2 の可変利得増幅手段へ出力する第 2 の制御信号生成手段 (例えば実施の形態の AGC 制御部 a 23) と、前記第 1 の制御信号生成手段が出力する制御信号と前記第 2 の制御信号生成手段が出力する制御信号のいずれか一方を選択して、前記第 1 の可変利得増幅手段へ出力する制御信号選択手段 (例えば実施の形態の AGC 応答制御部 26) とを備えたことを特徴とする。

【0011】

以上の構成を備えた自動利得制御装置は、第 1 の可変利得増幅手段を制御するための制御信号を、第 1 の制御信号生成手段が生成する制御信号と、第 2 の制御信号生成手段が生成する制御信号のどちらにするか、制御信号選択手段により選択することで、フィルタの前段に配置された第 1 の可変利得増幅手段の制御を、フィルタへの入力信号の変化により制御するか、フィルタからの出力信号の変化により制御するかを選択し、フィルタの帯域外に存在する信号がフィルタの帯域内の信号の利得制御に与える影響を低減することができる。

【0012】

請求項 2 の発明に係る自動利得制御装置は、入力信号を増幅する第 1 の可変利得増幅手段 (例えば実施の形態の AGC アンプ c 4) と、第 1 の可変利得増幅手段の出力信号の帯域を制限するフィルタ (例えば実施の形態の I 側チャネルフィルタ 10 と Q 側チャネルフィルタ 11、あるいはチャネルフィルタ 31) と、フィルタの出力信号を増幅する第 2 の可変利得増幅手段 (例えば実施の形態の I 側 AGC アンプ b 15 と Q 側 AGC アンプ b 16、あるいは AGC アンプ b 34) と、フィルタの出力信号を増幅して外部へ出力する第 3 の可変利得増幅手段 (例えば実施の形態の I 側 AGC アンプ a 12 と Q 側 AGC アンプ a 13、あるいは AGC アンプ a 32) と、前記第 1 の可変利得増幅手段の出力信号レベルを所定

レベルに制御するための制御信号を生成する第 1 の制御信号生成手段（例えば実施の形態の A G C 制御部 c 2 0）と、前記第 2 の可変利得増幅手段の出力信号レベルを所定レベルに制御するための制御信号を生成し、前記第 2 の可変利得増幅手段へ出力する第 2 の制御信号生成手段（例えば実施の形態の A G C 制御部 b 2 5）と、応答特性が前記第 2 の制御信号生成手段の応答特性より高速に設定されると共に、前記第 3 の可変利得増幅手段の出力信号レベルを所定レベルに制御するための制御信号を生成し、前記第 3 の可変利得増幅手段へ出力する第 3 の制御信号生成手段（例えば実施の形態の A G C 制御部 a 2 3）と、前記第 1 の制御信号生成手段が出力する制御信号と前記第 2 の制御信号生成手段が出力する制御信号のいずれか一方を選択して、前記第 1 の可変利得増幅手段へ出力する制御信号選択手段（例えば実施の形態の A G C 応答制御部 2 6）とを備えたことを特徴とする。

【0013】

以上の構成を備えた自動利得制御装置は、第 1 の可変利得増幅手段を制御するための制御信号を、第 1 の制御信号生成手段が生成する制御信号と、第 2 の制御信号生成手段が装置の出力信号とは独立して生成する制御信号のどちらにするか、制御信号選択手段により選択することで、フィルタの前段に配置された第 1 の可変利得増幅手段の制御を、フィルタへの入力信号の変化により制御するか、フィルタからの出力信号の変化に基づき、かつ装置の出力信号とは独立して制御するかを選択し、フィルタの帯域外に存在する信号がフィルタの帯域内の信号の利得制御に与える影響を低減することができる。

【0014】

請求項 3 の発明に係る自動利得制御装置は、請求項 2 に記載の自動利得制御装置において、前記第 2 の制御信号生成手段と前記第 3 の制御信号生成手段が、前記第 2 の制御信号生成手段の制御情報を、前記第 3 の制御信号生成手段へ複写する制御情報複写手段を備え、前記制御情報複写手段は、前記制御信号選択手段が、前記第 2 の制御信号生成手段が出力する制御信号を選択し前記第 1 の可変利得増幅手段へ出力する場合、前記第 2 の制御信号生成手段の制御情報を、前記第 3 の制御信号生成手段へ複写することを特徴とする。

【 0 0 1 5 】

以上の構成を備えた自動利得制御装置は、フィルタの前段に配置された第 1 の可変利得増幅手段の制御を、第 2 の制御信号生成手段を用いてフィルタからの出力信号の変化により制御する場合、第 2 の制御信号生成手段の制御情報を、第 3 の制御信号生成手段へ複写し、第 3 の可変利得増幅手段の利得制御も、フィルタからの出力信号の変化に基づいた第 2 の制御信号生成手段の応答速度により制御を行うことで、必要のない時に第 3 の制御信号生成手段の速すぎる応答速度により制御が行われて、装置の出力信号に歪みが発生することを防止できる。

【 0 0 1 6 】

請求項 4 の発明に係る自動利得制御装置は、請求項 3 に記載の自動利得制御装置において、少なくとも前記第 1 の制御信号生成手段の生成する制御信号の単位時間あたりの変化量が所定値より小さい場合には、前記制御情報複写手段が、前記第 3 の制御信号生成手段に対する前記第 2 の制御信号生成手段の制御情報の複写を許可することを特徴とする。

【 0 0 1 7 】

以上の構成を備えた自動利得制御装置は、フィルタ帯域外に強い信号が存在するために、制御信号選択手段が、第 1 の制御信号生成手段の出力する制御信号を選択して第 1 の可変利得増幅手段へ出力する場合でも、第 1 の制御信号生成手段の生成する制御信号の単位時間あたりの変化量が所定値より小さく、第 2 の可変利得増幅手段を制御する応答特性でもこれに追従できる場合は、前記制御情報複写手段が、第 3 の制御信号生成手段に対する第 2 の制御信号生成手段の制御情報の複写を許可し、逆に、第 1 の制御信号生成手段の生成する制御信号の単位時間あたりの変化量が所定値より大きい場合は制御情報の複写を許可しないことで、第 1 の可変利得増幅手段の利得変動が小さい場合に、第 3 の可変利得増幅手段を制御する応答特性が速すぎて、装置の出力信号に歪みが発生することを防止できると共に、第 1 の可変利得増幅手段の利得変動が大きい場合に、第 3 の可変利得増幅手段を制御する応答特性がこれに追従せず、装置の出力信号に歪みが発生することを防止できる。

【 0 0 1 8 】

請求項 5 の発明に係る自動利得制御装置は、請求項 1 から請求項 4 のいずれかに記載の自動利得制御装置において、前記制御信号選択手段は、前記第 1 の制御信号生成手段が出力する制御信号と前記第 2 の制御信号生成手段が出力する制御信号との比較を行うと共に、前記第 1 の可変利得増幅手段の利得が低くなる方の制御信号を選択して前記第 1 の可変利得増幅手段へ出力することを特徴とする。

【0 0 1 9】

以上の構成を備えた自動利得制御装置は、制御信号同士の比較から、容易に第 1 の可変利得増幅手段へ出力する制御信号を選択することができる。

【0 0 2 0】

請求項 6 の発明に係る自動利得制御装置は、請求項 1 から請求項 5 のいずれかに記載の自動利得制御装置において、後段に接続された信号復調部より受信信号の品質情報を取得すると共に、前記第 1 の制御信号生成手段において入力された信号のレベルに基づいた制御信号を生成する際に、該入力された信号のレベルと比較される基準値を、該品質情報の良否に応じて変更する基準値変更手段（例えば実施の形態の制御部（図示せず））を備えたことを特徴とする。

【0 0 2 1】

以上の構成を備えた自動利得制御装置は、フィルタの帯域外に存在する信号がフィルタの帯域内の信号の利得制御に与える影響と、フィルタの帯域内の信号が自身の利得制御に与える影響との両方の均衡を保つ制御を行うことができる。

【0 0 2 2】

請求項 7 の発明に係る自動利得制御装置は、請求項 6 に記載の自動利得制御装置において、前記基準値変更手段が、前記第 1 の制御信号生成手段の出力する制御信号のレベルと前記第 2 の制御信号生成手段の出力する制御信号のレベルとの比較結果、及び帯域内の受信信号レベルと所定値との比較結果に基づいて、前記基準値を変更することを特徴とする。

【0 0 2 3】

以上の構成を備えた自動利得制御装置は、前記基準値変更手段が、例えば前記第 2 の制御信号生成手段の出力する制御信号のレベルが、前記第 1 の制御信号生成手段の出力する制御信号のレベル以下で、かつ帯域内の受信信号レベルが所定

値以下の場合、前記第 1 の可変利得増幅手段の出力信号レベルが上がるように前記基準値を変更し、前記第 2 の制御信号生成手段の出力する制御信号のレベルが、前記第 1 の制御信号生成手段の出力する制御信号のレベル以下で、かつ帯域内の受信信号レベルが所定値より大きい場合、前記第 1 の可変利得増幅手段の出力信号レベルが下がるように前記基準値を変更することで、目的の受信品質が得られない場合、その受信信号レベルを用いて、受信信号の劣化が何により発生しているか、原因を判断すると共に、その原因に対応した適切な制御を行うことができる。

【0024】

請求項 8 の発明に係る自動利得制御装置は、請求項 1 から請求項 7 のいずれかに記載の自動利得制御装置において、前記フィルタの帯域内信号レベルと帯域外信号レベルとの比較に基づいて、前記フィルタより前段の回路と前記フィルタより後段の回路との利得配分を調整するための利得配分調整手段（例えば実施の形態の制御部（図示せず）とファンクションブロック 27）を備えたことを特徴とする。

【0025】

以上の構成を備えた自動利得制御装置は、フィルタの帯域内信号レベルと帯域外信号レベルとの比較に基づいて、フィルタ前後の利得配分を適切に決定することができる。

【0026】

請求項 9 の発明に係る自動利得制御装置は、請求項 1 から請求項 8 のいずれかに記載の自動利得制御装置において、前記第 1 の制御信号生成手段が生成する制御信号を制御電圧 V_3 、前記第 2 の制御信号生成手段が生成する制御信号を制御電圧 V_1 とすると共に、前記制御電圧 V_1 に対する全体の利得特性を $G(V_1)$ 、前記制御電圧 V_1 に対する前記フィルタより前段の回路の利得特性を $G_3(V_1)$ とする場合、前記制御電圧 V_3 が前記制御電圧 V_1 以上である時には、前記制御電圧 V_1 を前記フィルタの帯域内の信号強度とし、前記制御電圧 V_3 が前記制御電圧 V_1 未満である時には、式「 $V = V_1 + (G_3(V_1) / G(V_1)) (V_1 - V_3)$ 」で示される計算値 V を前記フィルタの帯域内の信号強度とする

信号強度算出手段（例えば実施の形態のA G C応答制御部26の比較器325、スイッチ326、減算器327、可変利得器328、加算器329）を備えたことを特徴とする。

【0027】

以上の構成を備えた自動利得制御装置は、各制御信号生成手段が生成する制御信号から、容易に目的の信号のレベルを測定することができる。

【0028】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

[第1の実施の形態]

まず、本発明の第1の実施の形態における自動利得制御装置について説明する。

。

（全体構成）

図1は、本実施の形態の自動利得制御装置を備えた無線機の構成を示すブロック図である。図1において、R F / I F 端子からミキサ1に入力された信号は、ミキサ1において、局部発振器2が出力する第1の周波数のローカル信号を利用して、低い周波数の信号（後述するA D変換器5の入力I F周波数）に変換され、更にバンドパスフィルタ3を用いて、ミキサ1が出力する信号から所定の周波数帯域の信号が抽出される。

【0029】

また、A G Cアンプc 4は、バンドパスフィルタ3の出力信号を一定レベルの信号に変換するための可変利得増幅器であって、A G Cアンプc 4により一定レベルの信号に変換された所定の周波数帯域の信号は、A D変換器5へ入力され、A D変換器5により量子化されたデジタル信号となる。

また、A D変換器5によりデジタル信号化された信号は、I側ミキサ6及びQ側ミキサ7において、デジタル局部発振器8が出力する第2の周波数のローカル信号（I側： \cos 波、Q側： $-\sin$ 波）により直交検波が行われ、I軸信号とQ軸信号とにより表されるベースバンド周波数の複素数信号へ変換される。

。

【0030】

次に、変換されたベースバンド周波数の複素数信号は、AGC検波器c9へ入力されると共に、I軸信号がI側チャネルフィルタ10、Q軸信号がQ側チャネルフィルタ11において帯域制限されることにより、目的の帯域の帯域信号に変換され、I軸信号がI側AGCアンプa12、Q軸信号がQ側AGCアンプa13へ入力される。AGC検波器c9では、AGCアンプc4の利得を制御する信号を生成するために、入力されたベースバンド周波数の複素数信号のI軸信号とQ軸信号の2乗値を加算すると共に、その平方根を算出し、これを積分することにより、I側ミキサ6及びQ側ミキサ7の出力信号の変動を検出する。

【0031】

一方、I側AGCアンプa12及びQ側AGCアンプa13は、I側チャネルフィルタ10及びQ側チャネルフィルタ11の出力信号を一定レベルの信号に変換するための可変利得増幅器であって、I側AGCアンプa12及びQ側AGCアンプa13により一定レベルの信号に変換された目的の帯域の帯域信号は、ベースバンド周波数の複素信号(BB. I、BB. Q)として本無線機から出力される。

【0032】

また、I側AGCアンプa12及びQ側AGCアンプa13により一定レベルの信号に変換された目的の帯域の帯域信号は、AGC検波器a14へも入力され、AGC検波器a14では、I側AGCアンプa12及びQ側AGCアンプa13の利得を制御する信号を生成するために、入力された目的の帯域の帯域信号のI軸信号とQ軸信号の2乗値を加算すると共に、その平方根を算出し、これを積分することにより、I側AGCアンプa12及びQ側AGCアンプa13の出力信号の変動を検出する。

【0033】

また、同様に、I側チャネルフィルタ10及びQ側チャネルフィルタ11により帯域制限され、目的の帯域の帯域信号に変換されたI軸及びQ軸の信号は、I軸信号がI側AGCアンプb15、Q軸信号がQ側AGCアンプb16へ入力される。ここで、I側AGCアンプb15及びQ側AGCアンプb16も、I側チ

チャンネルフィルタ 10 及び Q 側チャンネルフィルタ 11 の出力信号を一定レベルの信号に変換するための可変利得増幅器であって、I 側 AGC アンプ b 15 及び Q 側 AGC アンプ b 16 により一定レベルの信号に変換された目的の帯域の帯域信号は、AGC 検波器 b 17 へ入力される。

【0034】

そして、AGC 検波器 b 17 では、I 側 AGC アンプ b 15 及び Q 側 AGC アンプ b 16 の利得を制御する信号を生成するために、入力された目的の帯域の帯域信号の I 軸信号と Q 軸信号の 2 乗値を加算すると共に、その平方根を算出し、これを積分することにより、I 側 AGC アンプ b 15 及び Q 側 AGC アンプ b 16 の出力信号の変動を検出する。

なお、AGC 検波器 c 9、AGC 検波器 a 14、AGC 検波器 b 17 の詳細については後述する。

【0035】

一方、各 AGC アンプの利得を制御する信号を生成するために、AGC 検波器 c 9、AGC 検波器 a 14、AGC 検波器 b 17 の出力信号は、それぞれの基準値と比較されて、各 AGC アンプの利得を制御する信号を生成する AGC 制御部に入力される。具体的には、AGC 検波器 c 9 の出力信号は、減算器 19 において、基準値レジスタ 18 の出力する基準値「Ref 3」が減算され、AGC 制御部 c 20 の「In 端子」へ入力される。

【0036】

また、AGC 検波器 a 14 の出力信号は、減算器 22 において、基準値レジスタ 21 の出力する基準値「Ref 1」が減算され、AGC 制御部 a 23 の「In 端子」へ入力される。更に、AGC 検波器 b 17 の出力信号は、減算器 24 において、基準値レジスタ 21 の出力する基準値「Ref 1」が減算され、応答特性が AGC 制御部 a 23 の応答特性より低速に設定された AGC 制御部 b 25 の「In 端子」へ入力される。

【0037】

ここで、AGC 制御部 c 20、AGC 制御部 a 23、AGC 制御部 b 25 は、「In 端子」に入力された信号へ、「C__sw 端子」に入力された制御信号に基

づいて選択された係数を乗算して「O u t 端子」に出力する。また、「R e g _ L d 端子」に入力された制御信号に基づいて、相互に「R e g _ O u t 端子」から「R e g _ I n 端子」へ制御情報を複写する機能を備えている。図 1 に示す構成では、A G C 制御部 b 2 5 の「R e g _ O u t 端子」が A G C 制御部 a 2 3 の「R e g _ I n 端子」へ接続され、A G C 制御部 a 2 3 の「R e g _ L d 端子」に入力された制御信号に基づいて、A G C 制御部 b 2 5 の制御情報が A G C 制御部 a 2 3 へ複写される。

【0038】

なお、A G C 制御部 c 2 0、A G C 制御部 a 2 3、A G C 制御部 b 2 5 の詳細については後述する。また、A G C 制御部 c 2 0、A G C 制御部 a 2 3、A G C 制御部 b 2 5 それぞれにおいて、接続されていない端子の持つ機能は利用されないものとする。

【0039】

また、A G C 制御部 a 2 3 の「O u t 端子」は、A G C 応答制御部 2 6 の「V 1 _ I」端子へ接続されると共に、I 側 A G C アンプ a 1 2 及び Q 側 A G C アンプ a 1 3 の利得制御端子に接続され、A G C 制御部 a 2 3 の「O u t 端子」の出力信号により、I 側 A G C アンプ a 1 2 及び Q 側 A G C アンプ a 1 3 の利得が制御される。また、A G C 制御部 b 2 5 の「O u t 端子」は、A G C 応答制御部 2 6 の「V 2 _ I」端子へ接続されると共に、I 側 A G C アンプ b 1 5 及び Q 側 A G C アンプ b 1 6 の利得制御端子に接続され、A G C 制御部 b 2 5 の「O u t 端子」の出力信号により、I 側 A G C アンプ b 1 5 及び Q 側 A G C アンプ b 1 6 の利得が制御される。また、A G C 制御部 c 2 0 の「O u t 端子」は、A G C 応答制御部 2 6 の「V 3 _ I」端子へ接続される。

【0040】

ここで、A G C 応答制御部 2 6 は、各 A G C 制御部の応答特性を制御すると共に、A G C アンプ c 4 の利得を制御するための信号を出力する制御部である。具体的には、A G C 応答制御部 2 6 の「W d e t _ I 端子」へは、減算器 1 9 において A G C 検波器 c 9 の出力信号から基準値レジスタ 1 8 の出力する基準値「R e f 3」が減算された信号が入力される。同様に、「F d e t _ I 端子」へは、

減算器 22 において A G C 検波器 a 14 の出力信号から基準値レジスタ 21 の出力する基準値「R e f 1」が減算された信号が入力される。また、「S d e t _ I 端子」には、減算器 24 において A G C 検波器 b 17 の出力信号から基準値レジスタ 21 の出力する基準値「R e f 1」が減算された信号が入力される。

【0041】

一方、A G C 応答制御部 26 の「C 1 _ O 端子」は、A G C 制御部 a 23 の「C _ s w 端子」へ、A G C 応答制御部 26 の「C 2 _ O 端子」は、A G C 制御部 b 25 の「C _ s w 端子」へ、A G C 応答制御部 26 の「C 3 _ O 端子」は、A G C 制御部 c 20 の「C _ s w 端子」へ、それぞれ接続されている。更に、A G C 応答制御部 26 の「R e g _ L d 端子」は、A G C 制御部 a 23 の「R e g _ L d 端子」へ接続されており、A G C 制御部 b 25 から A G C 制御部 a 23 への制御情報の複写が制御される。

【0042】

また、A G C アンプ c 4 の利得を制御するための信号を出力する A G C 応答制御部 26 の「V a _ O 端子」は、本実施の形態の自動利得制御装置の応答特性を微調整するためのファンクションブロック 27 を介して、D A 変換器 28 によりアナログ信号化されて、A G C アンプ c 4 の利得制御端子へ入力される。なお、A G C 応答制御部 26 の詳細については後述する。

また、この他に無線機には、各基準値レジスタに保持される基準値や、各 A G C 制御部の応答特性を決定する内部レジスタの値を更新すると共に、ファンクションブロック 27 を制御する制御部（図示せず）が備えられている。

【0043】

(A G C 検波器)

次に、本実施の形態による自動利得制御装置の A G C 検波器 c 9、A G C 検波器 a 14、A G C 検波器 b 17 の詳細について、図面を参照して説明する。なお、A G C 検波器 c 9、A G C 検波器 a 14、A G C 検波器 b 17 は同一の構成を備えており、図 2 に、本実施の形態による自動利得制御装置の A G C 検波器（複素入力）の構成を示す。

【0044】

図2において、「In. I端子」と「In. Q端子」から入力された複素信号は、振幅算出器101において、I軸信号とQ軸信号の2乗値が加算されると共に、その平方根が算出される。振幅算出器101の出力信号は、比較器102に入力されると共に、乗算器103aと、加算器103bと、遅延器103cと、乗算器103dと、係数計算器103eとから構成される積分器103へ入力される。

【0045】

ここで、積分器103は、比較器102の出力信号によって切り換え制御されるスイッチ104により選択された、アタック係数レジスタ105の出力するアタック係数と、リリース係数レジスタ106の出力するリリース係数（但し、アタック係数の数値は、リリース係数の数値より大きい）のいずれかに基づき、振幅算出器101の出力信号を積分する積分器である。具体的には、積分器103に入力された振幅算出器101の出力信号は、乗算器103aにおいて、積分器の分子側係数として積分器103に入力されたアタック係数とリリース係数のいずれかと乗算される。

【0046】

また、積分器103に入力されたアタック係数またはリリース係数は、係数計算器103eにより分母側係数が算出される。また、係数計算器103eの出力信号は、乗算器103dにおいて積分器103の出力信号と乗算され、加算器103bにおいて、乗算器103aの出力信号と加算される。また、加算器103bの出力信号は、遅延器103cを経て積分器103の出力信号、すなわちAGC検波器の出力信号として「Out端子」から出力される。

【0047】

なお、比較器102は、振幅算出器101の出力信号と乗算器103dの出力信号を比較し、振幅算出器101の出力信号が乗算器103dの出力より小さい時には、スイッチ104においてリリース係数を選択して積分時定数を大きくし、逆の場合はアタック係数を選択して積分時定数を小さくする。従って、積分器103の出力信号は、入力信号の実効値とせん頭値の間の値となる。また、アタック係数の数値は、リリース係数の数値より大きいという関係にあり、この比が

大きい程せん頭値に近い値となる。

【0048】

(AGC制御部)

次に、本実施の形態による自動利得制御装置のAGC制御部c20、AGC制御部a23、AGC制御部b25の詳細について、図面を参照して説明する。なお、AGC制御部c20、AGC制御部a23、AGC制御部b25は同一の構成を備えており、図3は、本実施の形態による自動利得制御装置のAGC制御部の構成を示す。

【0049】

図3において、「In端子」から入力された信号は、「C__sw端子」に入力された制御信号によって切り換え制御されるスイッチ201により選択された、アタック係数レジスタ202の出力するアタック係数と、リリース係数レジスタ203の出力するリリース係数（但し、アタック係数の数値は、リリース係数の数値より大きい）のいずれかと、乗算器204において乗算される。

そして、乗算器204の出力する信号は、減算器205においてAGC制御部の出力から減算され、スイッチ206へ入力される。

【0050】

また、スイッチ206では、「Reg__Ld端子」に入力された制御信号に基づいて、減算器205の出力信号か「Reg__In端子」に入力された信号のいずれか一方を選択して、「Reg__Out端子」に出力すると共に、遅延器207へ入力する。また、遅延器207の出力信号は、AGC制御部の出力信号として「Out端子」から出力される。

【0051】

なお、スイッチ201は、「C__sw端子」に入力される制御信号が「0」の場合は、アタック係数レジスタ202の出力するアタック係数を選択し、「C__sw端子」に入力される制御信号が「1」の場合は、リリース係数レジスタ203の出力するリリース係数を選択して出力する。

また、スイッチ206は、「Reg__Ld端子」に入力される制御信号が「0」の場合は、減算器205の出力信号を選択し、「Reg__Ld端子」に入力さ

れる制御信号が「1」の場合は、「Reg__In端子」に入力された信号を選択して出力する。

【0052】

(AGC応答制御部)

次に、本実施の形態による自動利得制御装置のAGC応答制御部26の詳細について、図面を参照して説明する。図4及び図5は、本実施の形態による自動利得制御装置のAGC応答制御部の構成を示すブロック図である。

図4及び図5において、「V2__I端子」と「V3__I端子」とから入力された信号は、比較器301において比較されると共に、比較器301の出力信号によって切り換え制御されるスイッチ302により、「V2__I端子」へ入力された信号と「V3__I端子」へ入力された信号のいずれか一方が選択され、「Va__O端子」へ出力される。

【0053】

なお、「V3__I端子」へ入力された信号が、「V2__I端子」へ入力された信号以下の場合、比較器301から「0」が出力され、スイッチ302は、「V3__I端子」へ入力された信号を「Va__O端子」へ出力する。

また、「V3__I端子」へ入力された信号が、「V2__I端子」へ入力された信号より大きい場合、比較器301から「1」が出力され、スイッチ302は、「V2__I端子」へ入力された信号を「Va__O端子」へ出力する。

【0054】

また、スイッチ302の出力信号は、遅延器303により遅延されると共に、減算器304において、遅延器303により遅延された信号からスイッチ302の出力信号が減算されることにより微分され、更に絶対値算出器305により、その絶対値が算出される。

一方、絶対値算出器305の出力信号は、乗算器306aと、加算器306bと、遅延器306cと、乗算器306dと、係数計算器306eとから構成される積分器306へ入力される。

【0055】

ここで、積分器306は、Va制御係数レジスタ307の出力する「Va D

「V a Δ 積分係数」に基づき、絶対値算出器 305 の出力信号を積分する積分器である。具体的には、積分器 306 に入力された絶対値算出器 305 の出力信号は、乗算器 306 a において、積分器の分子側係数として積分器 306 に入力された「V a Δ 積分係数」と乗算される。

【0056】

また、積分器 306 に入力された「V a Δ 積分係数」は、係数計算器 306 e により分母側係数が算出される。また、係数計算器 306 e の出力信号は、乗算器 306 d において積分器 306 の出力信号と乗算され、加算器 306 b において、乗算器 306 a の出力信号と加算される。また、加算器 306 b の出力信号は、遅延器 306 c を経て積分器 306 の出力信号となる。これにより、「V a __O 端子」へ出力される信号の変化の度合いが計算される。

【0057】

また、積分器 306 の出力信号は比較器 308 へ出力され、V a 基準値レジスタ 309 の出力する基準値「V a Δ Ref.」との比較が行われる。比較器 308 では、積分器 306 の出力信号、すなわち「V a __O 端子」へ出力される信号の変化の度合いが基準値「V a Δ Ref.」より小さい場合、比較器 308 の出力信号が「1」となる。

【0058】

一方、比較器 308 の出力信号と、比較器 301 の出力信号は、OR 回路 310 において論理和が求められ、更にその先の AND 回路 311 へ入力される。従って、「V 3 __I 端子」へ入力された信号が、「V 2 __I 端子」へ入力された信号より大きい場合、あるいは「V a __O 端子」へ出力される信号の変化の度合いが基準値「V a Δ Ref.」より小さい場合、AND 回路 311 へ「1」が入力される。

【0059】

また、「V 1 __I 端子」に入力された信号からは、減算器 312 において「V 2 __I 端子」から入力された信号が減算されると共に、減算器 312 の出力信号は、絶対値算出器 313 に入力され、絶対値が算出される。更に、絶対値算出器 313 の出力信号は、比較器 314 へ出力され、V 1 V 2 差分値レジスタ 315

の出力する基準値「V1 V2 Diff Ref.」との比較が行われる。

【0060】

また、比較器314では、「V1__I端子」に入力された信号と「V2__I端子」に入力された信号との比較において、その差分の絶対値が基準値「V1 V2 Diff Ref.」以下の場合、比較器314の出力信号が「1」となり、AND回路311へ「1」が入力される。また、差分の絶対値が基準値「V1 V2 Diff Ref.」より大きい場合、比較器314の出力信号が「0」となり、AND回路311へ「0」が入力される。

【0061】

一方、「Sdet__I端子」に入力された信号は、比較器316において、収束確認上限値レジスタ318の出力する基準値「Slow Ref+」との比較が行われる。また、比較器317において、収束確認下限値レジスタ319の出力する基準値「Slow Ref-」との比較が行われる。そして、比較器316及び比較器317の出力信号は、AND回路320を介してAND回路311へ入力される。

【0062】

なお、比較器316は、「Sdet__I端子」に入力された信号が基準値「Slow Ref+」以下の場合、出力信号が「1」になり、比較器317は、「Sdet__I端子」に入力された信号が基準値「Slow Ref-」以上の場合、出力信号が「1」となるので、「Sdet__I端子」に入力された信号が、基準値「Slow Ref-」以上、基準値「Slow Ref+」以下の場合、AND回路320を介してAND回路311へ「1」が入力される。

【0063】

また、比較器316は、「Sdet__I端子」に入力された信号が基準値「Slow Ref+」より大きい場合、出力信号が「0」になり、比較器317は、「Sdet__I端子」に入力された信号が基準値「Slow Ref-」より小さい場合、出力信号が「0」となるので、いずれかの場合は、AND回路320を介してAND回路311へ「0」が入力される。

【0064】

そして、OR回路310の出力信号と、比較器314の出力信号と、比較器320の出力信号との論理積がAND回路311で求められて、AND回路311の出力信号が「Reg_Ld端子」から出力される。

【0065】

また、「Fdet_I端子」に入力された信号は、比較器321において、零レジスタ322の出力する基準値「0」との比較が行われる。この時、「Fdet_I端子」に入力された信号が基準値「0」以下の場合、比較器321の出力信号は「1」になり、「C1_O端子」に出力される。また、「Fdet_I端子」に入力された信号が基準値「0」より大きい場合、比較器321の出力信号は「0」になり、「C1_O端子」に出力される。

【0066】

また、「Sdet_I端子」に入力された信号は、比較器323において、零レジスタ322の出力する基準値「0」との比較が行われる。この時、「Sdet_I端子」に入力された信号が基準値「0」以下の場合、比較器323の出力信号は「1」になり、「C2_O端子」に出力される。また、「Sdet_I端子」に入力された信号が基準値「0」より大きい場合、比較器323の出力信号は「0」になり、「C2_O端子」に出力される。

【0067】

また、「Wdet_I端子」に入力された信号は、比較器324において、零レジスタ322の出力する基準値「0」との比較が行われる。この時、「Wdet_I端子」に入力された信号が基準値「0」以下の場合、比較器324の出力信号は「1」になり、「C3_O端子」に出力される。また、「Fdet_I端子」に入力された信号が基準値「0」より大きい場合、比較器324の出力信号は「0」になり、「C3_O端子」に出力される。

【0068】

また、「V1_I端子」と「V3_I端子」とから入力された信号は、比較器325において比較されると共に、比較器325の出力信号によって切り換え制御されるスイッチ326により、「V1_I端子」へ入力されたそのままの信号と、「V1_I端子」へ入力された信号を「V3_I端子」へ入力された信号に

よって補正した信号のいずれか一方が選択され、「RSSI 端子」へ受信した信号の信号強度表示信号（RSSI：Received Signal Strength Indicator）として出力される。

【0069】

なお、「V3__I 端子」へ入力された信号が、「V1__I 端子」へ入力された信号以上の場合、比較器 325 の出力信号が「1」となるので、スイッチ 326 は、「V1__I 端子」へ入力された信号を「RSSI 端子」へ出力する。また、「V3__I 端子」へ入力された信号が、「V1__I 端子」へ入力された信号より小さい場合、比較器 325 の出力信号が「0」となるので、スイッチ 326 は、「V1__I 端子」へ入力された信号を「V3__I 端子」へ入力された信号によって補正した信号を「RSSI 端子」へ出力する。

【0070】

また、「V1__I 端子」へ入力された信号を「V3__I 端子」へ入力された信号によって補正する計算式は、それぞれの端子の信号をそれぞれの端子名で表す とすると、下記（1）で示される。

【0071】

$$「RSSI」=「V1_I」+（G3（V1）／G（V1））（「V1_I」-「V3_I」） \quad \cdots (1)$$

【0072】

なお、具体的には、（「V1__I」－「V3__I」）は減算器 327 において計算し、減算器 327 の出力信号へ、可変利得器 328 により係数（G3（V1）／G（V1））を乗算すると共に、加算器 329 において「V1__I」を加算することで、（1）式に基づく出力を得る。

【0073】

（AGC アンプ特性）

次に、本実施の形態による自動利得制御装置に利用される AGC アンプの特性について、図面を参照して説明する。

図 6 は、I 側 AGC アンプ a12、Q 側 AGC アンプ a13、及び I 側 AGC アンプ b15、Q 側 AGC アンプ b16 の制御電圧対利得特性を示したグラフで

あって、各AGCアンプの特性は、制御電圧0.0以下で利得は-25[dB]一定とされ、また制御電圧1.0以上で利得は25[dB]一定とされる。また制御電圧0.0以上1.0以下では、制御電圧が0.1増加すると利得が5[dB]増加すると共に、制御電圧0.5の時利得が0[dB]となる特性を持つ。

【0074】

一方、図7は、AGCアンプc4の制御電圧対利得特性を示したグラフであって、AGCアンプの特性は、制御電圧0.0以下で利得は-35[dB]一定とされ、また制御電圧1.0以上で利得は15[dB]一定とされる。また制御電圧0.0以上1.0以下では、制御電圧が0.1増加すると利得が5[dB]増加すると共に、制御電圧0.7の時利得が0[dB]となる特性を持つ。

【0075】

(自動利得制御装置の動作)

次に、上述の構成を備えた本実施の形態の自動利得制御装置の動作を説明する。

(全体動作)

本実施の形態の自動利得制御装置では、I側チャンネルフィルタ10及びQ側チャンネルフィルタ11より後段において、I側AGCアンプa12とQ側AGCアンプa13、及びAGC検波器a14、更にはAGC制御部a23とから構成される高速な応答を行うAGCループと、I側AGCアンプb15とQ側AGCアンプb16、及びAGC検波器b17、更にはAGC制御部b25とから構成される低速な応答を行うと共に低歪みなAGCループとを構成し、自動利得制御装置の出力信号は、高速なAGCループより取り出される。

【0076】

一方、I側チャンネルフィルタ10及びQ側チャンネルフィルタ11より前段では、AGCアンプc4と、AGC検波器c9と、AGC制御部c20とから構成されるAGCループにおいて、I側チャンネルフィルタ10及びQ側チャンネルフィルタ11により目的帯域外の信号を抑圧する前の全体の信号レベルを検出する。

【0077】

この時、AGC応答制御部26では、そのレベルが所定の値以上となっている

時のみに、A G C アンプ c 4 を、I 側チャネルフィルタ 1 0 及び Q 側チャネルフィルタ 1 1 の帯域内だけでなく、装置に入力される全体の信号レベルを考慮して制御するように、目的帯域外の信号を抑圧する前の全体の信号レベルが所定の値より大きい場合、A G C 制御部 c 2 0 の出力する制御電圧により A G C アンプ c 4 を制御する。一方、目的帯域外の信号を抑圧する前の全体の信号レベルが所定の値以下の場合、A G C 制御部 b 2 5 の出力する制御電圧により A G C アンプ c 4 を制御する。

【0078】

具体的には、A G C 応答制御部 2 6 において、「V 2 __ I 端子」に入力された A G C 制御部 b 2 5 の出力する制御電圧と、「V 3 __ I 端子」に入力された A G C 制御部 c 2 0 の出力する制御電圧とのレベルの比較を行い、A G C 制御部 c 2 0 の出力する制御電圧（「V 3 __ I 端子」信号）が、A G C 制御部 b 2 5 の出力する制御電圧（「V 2 __ I 端子」信号）以下の場合、A G C 制御部 c 2 0 の出力する制御電圧（「V 3 __ I 端子」信号）により A G C アンプ c 4 を制御する。

【0079】

一方、A G C 制御部 c 2 0 の出力する制御電圧（「V 3 __ I 端子」信号）が、A G C 制御部 b 2 5 の出力する制御電圧（「V 2 __ I 端子」信号）より大きい場合、A G C 制御部 b 2 5 の出力する制御電圧（「V 2 __ I 端子」信号）により A G C アンプ c 4 を制御する。

すなわち、A G C アンプ c 4 の利得が低くなる方の制御信号を選択して A G C アンプ c 4 へ出力する

【0080】

これにより、I 側チャネルフィルタ 1 0 及び Q 側チャネルフィルタ 1 1 の帯域内の信号レベルが、装置に入力されるフィルタ帯域外の信号レベルより小さい時に、フィルタ帯域外の信号も含めた総信号レベルに追従する A G C 制御部 c 2 0 の出力した制御電圧により A G C アンプ c 4 を制御することで、A G C 制御部 b 2 5 の出力する制御電圧が I 側チャネルフィルタ 1 0 及び Q 側チャネルフィルタ 1 1 の帯域内の信号レベルを所定のレベルに上げるべく A G C アンプ c 4 の利得を上げようとする働きを抑制して、フィルタ帯域外の信号を含めた総信号レベル

を所定の値内に制限することができる。

【0081】

従って、I側チャネルフィルタ10及びQ側チャネルフィルタ11の前段においてフィルタ帯域外の信号が原因で発生する、AGCアンプでの信号の飽和やAGCアンプの非直線領域の特性による歪みを抑制することができる。なお、AGC制御部c20の出力する制御電圧によりAGCアンプc4の利得を抑制した場合に、フィルタ帯域外の信号も含めた信号レベルによりAGCループが動作するため、目的信号のレベルは本来の信号レベルより低下するが、目的信号のレベルは、I側チャネルフィルタ10及びQ側チャネルフィルタ11の後段に配置されたI側AGCアンプa12とQ側AGCアンプa13の利得制御により補償され、目的の信号レベルとして出力される。

【0082】

(AGC制御部応答速度の変更)

また、I側AGCアンプa12とQ側AGCアンプa13、及びAGC検波器a14、更にはAGC制御部a23とから構成される高速な応答を行うAGCループでは、AGCアンプc4の出力信号に対する高速な追従が不要となる場合、I側AGCアンプb15とQ側AGCアンプb16、及びAGC検波器b17、更にはAGC制御部b25とから構成される低速な応答を行うと共に低歪みなAGCループの制御情報を複写して、その応答特性を低速なものにすることにより、信号を更に低歪み化できる。

【0083】

具体的には、AGC応答制御部26において、以下の3条件を満たす場合(AND条件)、「Reg_Ld端子」に「1」が出力され、AGC制御部b25の制御信号が、AGC制御部b25の「Reg_Out端子」から、AGC制御部a23の「Reg_In端子」へ入力され、AGC制御部a23では、この信号を「Out端子」へ出力する。

【0084】

条件1)

フィルタ帯域外に強い信号が存在し、AGC制御部c20の出力する制御電圧

(「V3__I 端子」信号)がAGC制御部b25の出力する制御電圧(「V2__I 端子」信号)より小さい場合でも、少なくとも「Va__O 端子」から出力される信号の変化の度合いが、基準値「Va Delta Ref.」より小さい場合。

または、フィルタ帯域外に強い信号が存在せず、AGC制御部b25の出力する制御電圧(「V2__I 端子」信号)がAGC制御部c20の出力する制御電圧(「V3__I 端子」信号)より小さい場合。

【0085】

条件2)

フィルタ内の信号変動が小さく、AGC制御部a23の出力する制御電圧(「V1__I 端子」信号)とAGC制御部b25の出力する制御電圧(「V2__I 端子」信号)との差分が、V1V2差分値レジスタ315の出力する基準値「V1V2 Diff Ref.」以下の場合。

【0086】

条件3)

応答が低速なI側AGCアンプb15とQ側AGCアンプb16、及びAGC検波器b17、更にはAGC制御部b25とから構成されるAGCループが収束し、「Sdet__I 端子」に入力された信号が、基準値「Slow Ref-」以上、基準値「Slow Ref+」以下の場合。

【0087】

(基準値の変更による利得配分制御)

また、自動利得制御装置の後段に接続された信号復調部より、受信信号の品質情報を取得することができる場合、歪みの発生とSNR (Signal to Noise Ratio) の劣化による受信性能の劣化を最小にするべく、上述の減算器19において、AGC検波器c9の出力信号から減算される基準値レジスタ18の出力する基準値「Ref3」を、取得された品質情報により更新し、I側チャネルフィルタ10及びQ側チャネルフィルタ11の前後のAGCアンプに対するレベル配分を制御するようにしても良い。

【0088】

具体的には、各基準値レジスタに保持される基準値や各AGC制御部の応答特性を決定する内部レジスタの値を更新したり、ファンクションブロック27を制御したりする制御部（図示せず）において、まず、受信信号の品質情報の一例として、受信信号のBER（Bit Error Rate）とSNR、及びコンスタレーションを取得し、それぞれの平均値を求める。

【0089】

この時、BERの平均値が基準値「Ref4」以下でBERが悪く、SNRが基準値「Ref5」以下でSNRが悪い場合は、BERの低下はSNRの不足によるものと判断して、AGCアンプc4の出力信号レベルを最大限許容できるところまで大きくするべく、基準値「Ref3」を変更する。

【0090】

具体的には、AGC制御部c20の出力する制御電圧（「V3__I端子」信号）がAGC制御部a23の出力する制御電圧（「V1__I端子」信号）以下で、かつAGC制御部a23の出力する制御電圧（「V1__I端子」信号）、またはAGC応答制御部26で算出されたRSSI信号が基準値「Ref6」以上の場合、AGCアンプc4の出力信号レベルが上がるように、基準値「Ref3」を高く設定する。

【0091】

一方、BERの平均値が基準値「Ref4」以下でBERが悪く、更にコンスタレーションも基準値「Ref7」より大きく歪みが大きい場合において、SNRが「Ref5」より良い時には、AGCアンプc4、またはAD変換器5において歪みが発生しているものと判断して、AGCアンプc4の出力信号レベルを最大限許容できるところまで小さくするべく、基準値「Ref3」を変更する。

【0092】

具体的には、AGC制御部c20の出力する制御電圧（「V3__I端子」信号）がAGC制御部a23の出力する制御電圧（「V1__I端子」信号）以下で、かつAGC制御部a23の出力する制御電圧（「V1__I端子」信号）、またはAGC応答制御部26で算出されたRSSI信号が基準値「Ref6」未満の場合、AGCアンプc4の出力信号レベルが下がるように、基準値「Ref3」を

低く設定する。

【0093】

これにより、近接する帯域外信号の P A R (Peak to Average Ratio) やフェージングによる受信状態の変動に適切に対応して、I 側チャネルフィルタ 1 0 及び Q 側チャネルフィルタ 1 1 の前後の利得配分を制御し、歪みの発生と S N R 劣化による受信性能の劣化を最小限に抑制して限られたダイナミックレンジを有効に活用することができる。

【0094】

(ファンクションブロックによる利得配分変更方法)

一方、ファンクションブロック 2 7 において、本実施の形態の自動利得装置に入力される信号の、I 側チャネルフィルタ 1 0 及び Q 側チャネルフィルタ 1 1 の帯域内信号レベルと帯域外信号レベルとの比に応じて関数 F N (x) を変更することにより、I 側チャネルフィルタ 1 0 及び Q 側チャネルフィルタ 1 1 の前後の A G C アンプに対するレベル配分を制御することもできる。

【0095】

具体的には、例えば関数 F N (x) が単純な利得の場合と多項式の場合とがあり、まず最初に、関数 F N (x) が単純な利得の場合について説明する。

関数 F N (x) が単純な利得の場合、関数 F N (x) は、下記 (2) 式か (3) 式で表される関数とする。

【0096】

$$Y = a x \quad \cdots (2)$$

【0097】

但し、(2) 式において a は「1」以上の数とする。または、

【0098】

$$Y = x + a \quad \cdots (3)$$

【0099】

但し、(3) 式において a は「-1」より大きく、かつ「1」より小さい数とする。

【0100】

この時、各基準値レジスタに保持される基準値や各 A G C 制御部の応答特性を決定する内部レジスタの値を更新したり、ファンクションブロック 27 を制御する制御部（図示せず）において、A G C 制御部 c 20 の出力する制御電圧（「V 3 __ I 端子」信号）が A G C 制御部 a 23 の出力する制御電圧（「V 1 __ I 端子」信号）以下で、かつ A G C 制御部 a 23 の出力する制御電圧（「V 1 __ I 端子」信号）、または A G C 応答制御部 26 で算出された R S S I 信号が基準値「R e f 6」未満の状態が連続する場合、この状態が発生する回数をカウントし、所定時間あたりのカウント数が所定回数を超えたら上述の関数 F N (x) の係数 a を小さくする。

【0101】

一方、A G C 制御部 c 20 の出力する制御電圧（「V 3 __ I 端子」信号）が A G C 制御部 a 23 の出力する制御電圧（「V 1 __ I 端子」信号）以下で、かつ A G C 制御部 a 23 の出力する制御電圧（「V 1 __ I 端子」信号）、または A G C 応答制御部 26 で算出された R S S I 信号が基準値「R e f 6」以上の状態が連続する場合、この状態が発生する回数をカウントし、所定時間あたりのカウント数が所定回数を超えたら上述の関数 F N (x) の係数 a を大きくする。

【0102】

また、関数 F N (x) が多項式の場合、関数 F N (x) は、下記（4）式で表される関数とする。

【0103】

$$Y = a_0 + a_1 x + a_2 x^2 + a_3 x^3 \quad \dots (4)$$

【0104】

但し、（4）式において a 0 から a 3 の各係数は、下記表 1 で示されるインデックス番号で指定されるものとする。また、図 8 に、各インデックス番号で異なる関数 F N (x) の特性を示す。

【0105】

【表 1】

係数	Index 番号			
	1	2	3	4
a0	-0.0094	0.0	0.0140	-0.0048
a1	0.4129	1.0	0.8654	1.4620
a2	2.4606	0.0	1.4423	0.3884
a3	-1.8632	0.0	-1.3112	-0.8557

【0106】

この時、各基準値レジスタに保持される基準値や、各AGC制御部の応答特性を決定する内部レジスタの値を更新すると共に、ファンクションブロック27を制御する制御部（図示せず）において、AGC制御部c20の出力する制御電圧（「V3__I端子」信号）がAGC制御部a23の出力する制御電圧（「V1__I端子」信号）以下で、かつAGC制御部a23の出力する制御電圧（「V1__I端子」信号）、またはAGC応答制御部26で算出されたRSSI信号が基準値「Ref6」未満の状態が連続する場合、この状態が発生する回数をカウントし、所定時間あたりのカウント数が所定回数を超えたら上述の関数FN(x)の係数を決定するインデックス番号を小さくする。

【0107】

一方、AGC制御部c20の出力する制御電圧（「V3__I端子」信号）がAGC制御部a23の出力する制御電圧（「V1__I端子」信号）以下で、かつAGC制御部a23の出力する制御電圧（「V1__I端子」信号）、またはAGC応答制御部26で算出されたRSSI信号が基準値「Ref6」以上の状態が連続する場合、この状態が発生する回数をカウントし、所定時間あたりのカウント数が所定回数を超えたら上述の関数FN(x)の係数を決定するインデックス番号を大きくする。

【0108】

これにより、入力が低い時にはI側チャネルフィルタ10及びQ側チャネルフィルタ11の前段側のAGCアンプの利得を高く設定することでSNRが良くな

り、入力が高い時にはI側チャネルフィルタ10及びQ側チャネルフィルタ11の前段側のAGCアンプの利得を低く設定することでAGCアンプで発生する歪に強くなる。また、SNRや歪みが問題となる領域において、I側チャネルフィルタ10及びQ側チャネルフィルタ11の前段側のAGCアンプの利得特性を緩やかにすることで、応答特性を遅くし、AGCループの再変調歪みを低減することができる。

【0109】

(RSSIの算出)

また、AGCアンプc4に対する制御が、AGC制御部b25の出力する制御電圧により行われている時には、AGC制御部a23またはAGC制御部b25の出力する制御電圧により、チャネルフィルタ帯域内の目的信号レベルを知ることができる。一方、AGCアンプc4に対する制御が、AGC制御部c20の出力する制御電圧により行われている時には、チャネルフィルタ帯域外の目的外信号のレベル分だけAGCアンプc4の利得が下がる。従って、装置の出力において目的信号のレベルを所定の値とするために、AGC制御部a23はI側AGCアンプa12、Q側AGCアンプa13の利得を上げるように動作する。

【0110】

そのため、AGC制御部a23またはAGC制御部b25の出力する制御電圧により、チャネルフィルタ帯域内の目的信号レベルを知ることができなくなる。このような時は、AGC制御部a23またはAGC制御部b25の出力する制御電圧とAGC制御部c20の出力する制御電圧とに基づいて、AGCアンプc4の利得の変化量を補正することにより、目的とする帯域内の信号レベルが得られる。

【0111】

具体的には、AGC応答制御部26において、AGC制御部c20が生成する制御信号を制御電圧V3、AGC制御部b25が生成する制御信号を制御電圧V1とすると共に、制御電圧V1に対する全体の利得特性をG(V1)、制御電圧V1に対するI側チャネルフィルタ10とQ側チャネルフィルタ11より前段の回路の利得特性をG3(V1)とする場合、制御電圧V3が制御電圧V1以上で

ある時には、制御電圧 V_1 をチャネルフィルタの帯域内の信号強度とし、制御電圧 V_3 が制御電圧 V_1 未満である時には、下記 (5) 式で示される計算値 V をチャネルフィルタの帯域内の信号強度として算出し、RSSI 端子から出力する。

【0112】

$$V = V_1 + (G_3(V_1) / G(V_1)) (V_1 - V_3) \quad \dots (5)$$

【0113】

以上説明したように、第1の実施の形態の自動利得制御装置は、I側チャネルフィルタ10及びQ側チャネルフィルタ11の前段にAGCアンプc4を設けると共に、I側チャネルフィルタ10及びQ側チャネルフィルタ11の後段に、I側AGCアンプa12及びQ側AGCアンプa13と、I側AGCアンプb15及びQ側AGCアンプb16とを設ける。

【0114】

また、I側チャネルフィルタ10及びQ側チャネルフィルタ11の前段において、AGCアンプc4の出力信号をAGC検波器c9により検波すると共に、I側チャネルフィルタ10及びQ側チャネルフィルタ11の後段では、I側AGCアンプa12及びQ側AGCアンプa13の出力信号をAGC検波器a14により検波し、I側AGCアンプb15及びQ側AGCアンプb16の出力信号をAGC検波器b17により検波する。

【0115】

そして、I側チャネルフィルタ10及びQ側チャネルフィルタ11の帯域外信号が強い場合には、AGC検波器c9で検波した信号を用いたAGC制御部c20の制御信号によりAGCアンプc4の利得制御を行い、I側チャネルフィルタ10及びQ側チャネルフィルタ11の帯域外信号が弱い場合には、AGC検波器b17で検波した信号を用いたAGC制御部b25によりAGCアンプc4の利得制御を行う。

【0116】

また、自動利得制御装置の出力には、AGC制御部b25より応答速度が速いAGC制御部a23を用いて制御されたI側AGCアンプa12及びQ側AGCアンプa13の出力信号を出力する。なお、AGCアンプc4の出力信号のレベ

ル変動が安定している場合、A G C制御部 a 2 3 の制御信号を A G C制御部 b 2 5 と同じにする。

【0117】

従って、第1の実施の形態の自動利得制御装置は、目的の信号を抽出するチャネルフィルタの帯域外の信号の変動に対応した適切な自動利得制御を実行し、限られたダイナミックレンジを有効に利用することができ、チャネルフィルタより前段での信号の飽和を防止することができるという効果が得られる。また、チャネルフィルタより前段での信号の変動が少ない時は、チャネルフィルタより後段のA G Cアンプの応答速度を遅くすることで、速いA G C応答により目的の信号に歪みが発生することを抑制することができるという効果が得られる。

【0118】

[第2の実施の形態]

次に、本発明の第2の実施の形態における自動利得制御装置について説明する。

(全体構成)

図9は、本実施の形態の自動利得制御装置を備えた無線機の構成を示すブロック図である。本実施の形態の自動利得制御装置が、第1の実施の形態の自動利得制御装置と異なる部分は、第1の実施の形態の自動利得制御装置が、目的の信号を抽出するチャネルフィルタの前段において受信した信号の直交検波を行っていたのに対し、本実施の形態の自動利得制御装置は、チャネルフィルタ及び該チャネルフィルタより後段に配置されるA G Cアンプより更に後段において、受信した信号の直交検波を行うことと、A G C検波を実信号の絶対値で行うことである。

【0119】

従って、ここでは第1の実施の形態の自動利得制御装置と、第2の実施の形態の自動利得制御装置との違いについてのみ説明する。また、図9において、図1に示す第1の実施の形態の自動利得制御装置を構成する構成要素と同じ符号を付与した構成要素は、第1の実施の形態の自動利得制御装置を構成する構成要素と同じ動作をする構成要素であるので、ここでは説明を省略する。

【0120】

なお、本実施の形態の自動利得制御装置は、受信した信号の I F 周波数が A D 変換器 5 のサンプリング周波数 F_s の $1/2$ より離れている場合、信号の 1 周期あたりのサンプルポイントが密になるので、信号とサンプルポイントとの位相条件によるレベル検出誤差が少ないという特性を持つ。

【0121】

具体的には、図 9 において、R F / I F 端子からミキサ 1 に入力された信号は、ミキサ 1 において、局部発振器 2 が出力する第 1 の周波数のローカル信号を利用して、低い周波数の信号（後述する A D 変換器 5 の入力 I F 周波数）に変換され、更にバンドパスフィルタ 3 を用いて、ミキサ 1 が出力する信号から所定の周波数帯域の信号が抽出される。

【0122】

また、A G C アンプ c 4 は、バンドパスフィルタ 3 の出力信号を一定レベルの信号に変換するための可変利得増幅器であって、A G C アンプ c 4 により一定レベルの信号に変換された所定の周波数帯域の信号は、A D 変換器 5 へ入力され、A D 変換器 5 により量子化されたデジタル信号となる。

【0123】

次に、量子化された I F 周波数の信号は、A G C 検波器 c 3 0 へ入力されると共に、チャンネルフィルタ 3 1 において帯域制限されることにより、目的の帯域の帯域信号に変換され、A G C アンプ a 3 2 へ入力される。A G C 検波器 c 3 0 では、A G C アンプ c 4 の利得を制御する信号を生成するために、入力された I F 周波数の信号の絶対値を算出し、これを積分することにより、A D 変換器 5 の出力信号の変動を検出する。

【0124】

一方、A G C アンプ a 3 2 は、チャンネルフィルタ 3 1 の出力信号を一定レベルの信号に変換するための可変利得増幅器であって、A G C アンプ a 3 2 により一定レベルの信号に変換された目的の帯域の帯域信号は、I 側ミキサ 3 6 及び Q 側ミキサ 3 7 において、デジタル局部発振器 3 8 が出力する第 2 の周波数のローカル信号（I 側： \cos 波、Q 側： $-\sin$ 波）により直交検波が行われ、I 軸

信号とQ軸信号とにより表されるベースバンド周波数の複素数信号へ変換される。そして、ベースバンド周波数の複素信号（BB. I、BB. Q）として本無線機から出力される。

【0125】

また、AGCアンプa32により一定レベルの信号に変換された目的の帯域の帯域信号は、AGC検波器a33へも入力され、AGC検波器a33では、AGCアンプa32の利得を制御する信号を生成するために、入力された目的の帯域の帯域信号の絶対値を算出し、これを積分することにより、AGCアンプa32の出力信号の変動を検出する。

【0126】

また、同様に、チャネルフィルタ31により帯域制限され、目的の帯域の帯域信号に変換された信号は、AGCアンプb34へ入力される。ここで、AGCアンプb34も、チャネルフィルタ31の出力信号を一定レベルの信号に変換するための可変利得増幅器であって、AGCアンプb34により一定レベルの信号に変換された目的の帯域の帯域信号は、AGC検波器b35へ入力される。

【0127】

そして、AGC検波器b35では、AGCアンプb34の利得を制御する信号を生成するために、入力された目的の帯域の帯域信号の絶対値を算出し、これを積分することにより、AGCアンプb34の出力信号の変動を検出する。

なお、AGC検波器c30、AGC検波器a33、AGC検波器b35の詳細については後述する。

【0128】

一方、各AGCアンプの利得を制御する信号を生成するために、AGC検波器c30、AGC検波器a33、AGC検波器b35の出力信号は、それぞれの基準値と比較されて、各AGCアンプの利得を制御する信号を生成するAGC制御部に入力される。具体的には、AGC検波器c30の出力信号は、減算器19において、基準値レジスタ18の出力する基準値「Ref3」が減算され、AGC制御部c20の「In端子」へ入力される。

【0129】

また、A G C 検波器 a 3 3 の出力信号は、減算器 2 2 において、基準値レジスタ 2 1 の出力する基準値「R e f 1」が減算され、A G C 制御部 a 2 3 の「I n 端子」へ入力される。更に、A G C 検波器 b 3 5 の出力信号は、減算器 2 4 において、基準値レジスタ 2 1 の出力する基準値「R e f 1」が減算され、応答特性が A G C 制御部 a 2 3 の応答特性より低速に設定された A G C 制御部 b 2 5 の「I n 端子」へ入力される。

なお、その他の接続は第 1 の実施の形態の自動利得制御装置と同一なので、説明は省略する。

【0130】

(A G C 検波器)

次に、本実施の形態による自動利得制御装置の A G C 検波器 c 3 0、A G C 検波器 a 3 3、A G C 検波器 b 3 5 の詳細について、図面を参照して説明する。なお、A G C 検波器 c 3 0、A G C 検波器 a 3 3、A G C 検波器 b 3 5 は同一の構成を備えており、図 1 0 に、本実施の形態による自動利得制御装置の A G C 検波器（実入力）の構成を示す。

【0131】

図 1 0 において、「I n 端子」から入力された信号は、絶対値算出器 4 0 1 において、絶対値が算出れる。絶対値算出器 4 0 1 の出力信号は、比較器 4 0 2 に入力されると共に、乗算器 4 0 3 a と、加算器 4 0 3 b と、遅延器 4 0 3 c と、乗算器 4 0 3 d と、係数計算器 4 0 3 e とから構成される積分器 4 0 3 へ入力される。

【0132】

ここで、積分器 4 0 3 は、比較器 4 0 2 の出力信号によって切り換え制御されるスイッチ 4 0 4 により選択された、アタック係数レジスタ 4 0 5 の出力するアタック係数と、リリース係数レジスタ 4 0 6 の出力するリリース係数（但し、アタック係数の数値は、リリース係数の数値より大きい）のいずれかに基づき、絶対値算出器 4 0 1 の出力信号を積分する積分器である。具体的には、積分器 4 0 3 に入力された絶対値算出器 4 0 1 の出力信号は、乗算器 4 0 3 a において、積分器の分子側係数として積分器 4 0 3 に入力されたアタック係数とリリース係数

のいずれかと乗算される。

【0133】

また、積分器 403 に入力されたアタック係数またはリリース係数は、係数計算器 403 e により分母側係数が算出される。また、係数計算器 403 e の出力信号は、乗算器 403 d において積分器 403 の出力信号と乗算され、加算器 403 b において、乗算器 403 a の出力信号と加算される。また、加算器 403 b の出力信号は、遅延器 403 c を経て積分器 403 の出力信号、すなわち A G C 検波器の出力信号として「O u t 端子」から出力される。

【0134】

なお、比較器 402 は、絶対値算出器 401 の出力信号と乗算器 403 d の出力信号を比較し、絶対値算出器 401 の出力信号が乗算器 403 d の出力より小さい時には、スイッチ 404 においてリリース係数を選択して積分時定数を大きくし、逆の場合はアタック係数を選択して積分時定数を小さくする。従って、積分器 403 の出力信号は、入力信号の実効値とせん頭値の間の値となる。また、アタック係数の数値は、リリース係数の数値より大きいという関係にあり、この比が大きい程せん頭値に近い値となる。

【0135】

なお、直交検波器は、アナログミキサを用いて、受信信号のエンベロープを抽出するようにしても良い。

また、A G C 検波器 c 30 はダイオードによる整流を行うことで受信信号レベルを検出するようにしても良い。

【0136】

以上説明したように、第 2 の実施の形態の自動利得制御装置は、チャネルフィルタ及び該チャネルフィルタより後段に配置される A G C アンプより更に後段において、受信した信号の直交検波を行う構成とした。従って、A G C 検波器 c 30 が信号の絶対値を計算するのみで信号のエンベロープを得ることができ、少ない演算量で、目的の信号を抽出するチャネルフィルタの帯域外の信号の変動に対応した適切な自動利得制御をより正確に実行し、限られたダイナミックレンジを有効に利用することができるという効果が得られる。なお、A G C 検波器 c 30

におけるレベル変動を抑えるためには、サンプリング周波数と信号周波数との比を大きく取る必要がある。

【0137】

具体的には、図11に各部の応答波形例を示す。なお、図11(a)はチャネルフィルタ31の帯域外信号、図11(b)はチャネルフィルタ31の帯域内信号、図11(c)はAD変換器5の出力信号、図11(d)は自動利得制御装置出力信号、図11(e)はAGC応答制御部26の「Va__O端子」出力信号、図11(f)はAGC制御部c20の「Out端子」出力信号、図11(g)はAGC応答制御部26の「Csa端子」出力信号(ここで、AGC応答制御部26の「Csa端子」とは、図4において、スイッチ302及びOR回路310へ接続された、比較器301の出力端子とする)、図11(h)はAGC制御部b25の「Out端子」出力信号、図11(i)はAGC制御部a23の「Out端子」出力信号、図11(j)はAGC応答制御部26の「Reg__Ld端子」出力信号、図11(k)はAGC応答制御部26の「RSSI端子」出力信号を、それぞれ示す。

【0138】

図11に示すように、時刻t1において、チャネルフィルタ31の帯域内信号が入力されると、AGC制御部b25の応答特性がAGC制御部c20の応答特性より遅いため、AGC応答制御部26の「Csa端子」出力信号により、一度はAGC制御部c20の「Out端子」出力信号がAGC応答制御部26の「Va__O端子」から出力されるが、チャネルフィルタ31の帯域外信号が入力されていないので、AGC制御部b25がAGC制御部c20の応答に追従する時刻t2において、すぐにAGC制御部b25の「Out端子」出力信号がAGC応答制御部26の「Va__O端子」から出力されるようになる。

【0139】

一方、AD変換器5の出力信号が安定してくると、時刻t3において、AGC応答制御部26の「C1__O端子」出力により、AGC制御部b25の制御情報がAGC制御部a23へ複写され、AGC制御部b25の「Out端子」出力信号と、AGC制御部a23の「Out端子」出力信号とが同一の応答特性を示す

ようになる。そして、時刻 t 4 では、チャネルフィルタ 31 の帯域内信号が停止するのに伴い、A G C アンプ a 32 の利得を急速に上げるため、A G C 制御部 a 23 は A G C 制御部 b 25 と独立して動作するようになる。

【0140】

また、時刻 t 5 では、チャネルフィルタ 31 の帯域外信号が入力されるのに伴い、A G C 応答制御部 26 の「C s a 端子」出力信号により、A G C 制御部 c 20 の「O u t 端子」出力信号が A G C 応答制御部 26 の「V a __ O 端子」から出力されるようになる。この時、自動利得制御装置の出力信号には、チャネルフィルタ 31 の帯域内信号が停止しているにもかかわらず、チャネルフィルタ 31 の帯域外信号によるチャネルフィルタ 31 でのリングングが出力されている。これは、チャネル帯域内の弱い信号を所定のレベルにするべく、A G C アンプ a 32 の利得が非常に高速な応答により高い利得となり、チャネルフィルタ 31 でのリングングが観測可能な振幅レベルとなっているためである。

【0141】

更に、時刻 t 6 では、チャネルフィルタ 31 の帯域内信号が入力されても、先に帯域内信号より強いレベルのチャネルフィルタ 31 の帯域外信号が入力されているので、A G C 応答制御部 26 の「C s a 端子」出力信号に変化はないが、この時、自動利得制御装置の出力信号には、チャネルフィルタ 31 の帯域内信号が出力されるようになる。また、チャネルフィルタ 31 の帯域外信号が入力されていても、A D 変換器 5 の出力信号が安定してくると、時刻 t 7 において、A G C 応答制御部 26 の「R e g __ L d 端子」出力により、A G C 制御部 b 25 の制御情報が A G C 制御部 a 23 へ複写され、A G C 制御部 b 25 の「O u t 端子」出力信号と、A G C 制御部 a 23 の「O u t 端子」出力信号とが同一の応答特性を示すようになる。

【0142】

そして、時刻 t 8 では、チャネルフィルタ 31 の帯域内信号が停止するのに伴い、A G C アンプ a 32 の利得を急速に上げるため、A G C 制御部 a 23 は A G C 制御部 b 25 と独立して動作するようになる。また、自動利得制御装置の出力信号には、チャネルフィルタ 31 の帯域内信号が停止しているにもかかわらず、

チャンネルフィルタ 31 の帯域外信号によるチャンネルフィルタ 31 でのリングングが出力される。これは、チャンネル帯域内の弱い信号を所定のレベルにするべく、A G C アンプ a 32 の利得が非常に高速な応答により高い利得となり、チャンネルフィルタ 31 でのリングングが観測可能な振幅レベルとなっているためである。

【0143】

[第3の実施の形態]

次に、本発明の第3の実施の形態における自動利得制御装置について説明する。

(全体構成)

図12は、本実施の形態の自動利得制御装置を備えた無線機の構成を示すブロック図である。本実施の形態の自動利得制御装置が、第2の実施の形態の自動利得制御装置と異なる部分は、第2の実施の形態の自動利得制御装置が、目的の信号を抽出するチャンネルフィルタの前段におけるA G C アンプが、ミキサの後のI F 周波数帯域において利得制御を行っていたのに対し、本実施の形態の自動利得制御装置は、ミキサの前のR F / I F 周波数帯域において利得制御を行うことである。

【0144】

従って、ここでは第2の実施の形態の自動利得制御装置と、第3の実施の形態の自動利得制御装置との違いについてのみ説明する。また、図12において、図9に示す第2の実施の形態の自動利得制御装置を構成する構成要素と同じ符号を付与した構成要素は、第2の実施の形態の自動利得制御装置を構成する構成要素と同じ動作をする構成要素であるので、ここでは説明を省略する。

【0145】

具体的には、図12において、R F / I F 端子から入力された信号は、D A 変換器 28 の出力信号により利得が制御されるA G C アンプ c 39 へ入力される。A G C アンプ c 39 は、ミキサ 1 への入力信号レベルを一定範囲にするための可変利得増幅器であって、A G C アンプ c 39 により一定範囲のレベルの信号に変換された入力信号は、ミキサ 1 に入力され、ミキサ 1 において、局部発振器 2 が出力する第1の周波数のローカル信号を利用して、低い周波数の信号（後段のA

D変換器5の入力IF周波数)に変換され、更にバンドパスフィルタ3を用いて、ミキサ1が出力する信号から所定の周波数帯域の信号が抽出される。

【0146】

なお、AGCアンプc39は、例えばピンダイオードに加える電圧を制御することにより、ピンダイオードの減衰量を変更することで実現することができる。

【0147】

一方、AGCアンプc39により一定範囲のレベルの信号に変換された入力信号は、AGC検波器c40へ入力される。AGC検波器c40では、AGCアンプc39の利得を制御する信号を生成するために、AGCアンプc39の出力信号をダイオードで整流することにより、AGCアンプc39の出力信号の変動を検出する。また、AGCアンプc39の利得を制御する信号を生成するために、AGC検波器c40の出力信号は、AD変換器41において量子化されデジタル信号化されてから、減算器19において、基準値レジスタ18の出力する基準値「Ref3」が減算され、AGC制御部c20の「In端子」へ入力される。

なお、その他の接続は第2の実施の形態の自動利得制御装置と同一なので、説明は省略する。

【0148】

以上説明したように、第3の実施の形態の自動利得制御装置は、目的の信号を抽出するチャネルフィルタの前段における利得制御を、RF周波数帯域において行う構成とした。従って、第1の実施の形態の自動利得制御装置と同様に、目的の信号を抽出するチャネルフィルタの帯域外の信号の変動に対応した適切な自動利得制御を実行し、限られたダイナミックレンジを有効に利用することができ、チャネルフィルタより前段での信号の飽和を防止することができるという効果が得られると共に、特にRF周波数での歪みの発生を抑制することができるという効果が得られる。また、IF周波数をAD変換しない受信機においてもチャネルフィルタより前段における歪みを低減するのに有効である。

【0149】

[第4の実施の形態]

次に、本発明の第4の実施の形態における自動利得制御装置について説明する

。

(全体構成)

図13は、本実施の形態の自動利得制御装置を備えた無線機の構成を示すブロック図である。本実施の形態の自動利得制御装置が、第1の実施の形態の自動利得制御装置と異なる部分は、第1の実施の形態の自動利得制御装置が、I側チャンネルフィルタ10及びQ側チャンネルフィルタ11より後段において、I側AGCアンプa12とQ側AGCアンプa13、及びAGC検波器a14、更にはAGC制御部a23とから構成される高速な応答を行うAGCループと、I側AGCアンプb15とQ側AGCアンプb16、及びAGC検波器b17、更にはAGC制御部b25とから構成される低速な応答を行うと共に低歪みなAGCループとを構成し、自動利得制御装置の出力信号は、高速なAGCループより取り出しているのに対して、本実施の形態の自動利得制御装置は、I側AGCアンプb15とQ側AGCアンプb16、及びAGC検波器b17、更にはAGC制御部b25とから構成されるAGCループを省略したことである。

【0150】

具体的には、第1の実施の形態において図1を用いて説明した自動利得制御装置の構成から、I側AGCアンプb15とQ側AGCアンプb16、及びAGC検波器b17、更にはAGC制御部b25とを削除すると共に、AGC制御部a23の出力信号を、AGC応答制御部26の「V1—I端子」ではなく「V2—I端子」へ入力する。更に、AGC制御部a23の応答特性の時定数は、第1の実施の形態における自動利得制御装置のAGC制御部b25の応答特性と同一とする。

【0151】

以上説明したように、第4の実施の形態の自動利得制御装置は、第1の実施の形態の自動利得制御装置から、I側AGCアンプb15とQ側AGCアンプb16、及びAGC検波器b17、更にはAGC制御部b25とから構成されるAGCループを省略する構成とした。従って、目的の信号を抽出するチャンネルフィルタより後段における信号処理の処理量を必要最低限なものに抑えつつ、第1の実施の形態の自動利得制御装置と同様に、目的の信号を抽出するチャンネルフィルタ

の帯域外の信号の変動に対応した適切な自動利得制御を実行し、限られたダイナミックレンジを有効に利用することができ、チャンネルフィルタより前段での信号の飽和を防止することができるという効果が得られる。

【0152】

[第5の実施の形態]

次に、上述の第1から第4の実施の形態の自動利得制御装置におけるAGCアンプの特性を、図14及び図15に示すような特性とした場合について説明する。図14は、チャンネルフィルタより後段に配置されるAGCアンプの制御電圧対利得特性を示したグラフであって、AGCアンプの特性は、制御電圧0.0以下で利得は-25[dB]一定とされ、また制御電圧0.5以上で利得は25[dB]一定とされる。また制御電圧0.0以上0.5以下では、制御電圧が0.1増加すると利得が10[dB]増加すると共に、制御電圧0.25の時利得が0[dB]となる特性を持つ。

【0153】

一方、図15は、チャンネルフィルタより前段に配置されるAGCアンプの制御電圧対利得特性を示したグラフであって、AGCアンプの特性は、制御電圧0.5以下で利得は-35[dB]一定とされ、また制御電圧1.0以上で利得は15[dB]一定とされる。また制御電圧0.5以上1.0以下では、制御電圧が0.1増加すると利得が10[dB]増加すると共に、制御電圧0.85の時利得が0[dB]となる特性を持つ。

【0154】

上述の第1から第4の実施の形態におけるAGCアンプの特性を、図14及び図15に示すような特性とした場合、小入力時に、目的の信号を抽出するチャンネルフィルタの前段側のAGCアンプの利得を高く保つことで、NF(Noise Figure: 雑音指数)低下によるSNRの悪化を防止することができる。しかし、目的の信号を抽出するチャンネルフィルタの前段側のAGCアンプの利得を高く保つと、チャンネルフィルタの帯域外信号による信号飽和が生じやすいという欠点がある。

【0155】

従って、上述のような応答特性のA G Cアンプを上述の第1から第4の実施の形態の自動利得制御装置に用いた場合、小入力時には、チャネルフィルタ前段のA G Cアンプにおいて飽和が生じないように、チャネルフィルタ前段のA G Cアンプの利得を調節するために、各A G Cアンプに対するA G C制御部による制御電圧は0.5以上にする。

【0156】

また、大入力時には、チャネルフィルタ前段のA G Cアンプにおける利得は最小とし、チャネルフィルタ前段のA G Cアンプにより下げられた信号のレベルを上げるため、チャネルフィルタ後段のA G Cアンプによる利得制御を動作させるように、各A G Cアンプに対するA G C制御部による制御電圧は0.5以下にする。

【0157】

第5の実施の形態の自動利得制御装置は、A G C制御部による制御電圧に対する不感領域が、目的の信号を抽出するチャネルフィルタの前段側、あるいは後段側に発生するため、応答特性が第1から第4の実施の形態の自動利得制御装置に対して低下する場合があるが、高いN Fを維持しつつ、チャネルフィルタの前段側における信号の飽和を防止することができる。

【0158】

[第6の実施の形態]

なお、上述の第1から第4の実施の形態における自動利得制御装置において、A G C制御部 a 23、及びA G C制御部 b 25で入力信号と乗算されるアタック係数及びリバーブ係数を、アタック係数＝リバーブ係数＝0とし、自動利得制御装置の後段に接続された信号復調部より、受信信号の品質情報を取得することができる場合、歪みの発生とS N R (Signal to Noise Ratio) の劣化による受信性能の劣化を最小にするべく、上述の減算器22及び減算器24において、A G C検波器 a 14あるいはA G C検波器 b 17の出力信号から減算される基準値レジスタ21の出力する基準値「R e f 1」を、取得された品質情報により更新し、各A G Cアンプに対するレベル配分を制御するようにしても良い。

【0159】

第6の実施の形態の自動利得制御装置は、通信品質によってのみAGCアンプの利得を制御するようなAGC装置において、目的の信号を抽出するチャネルフィルタの帯域外の信号による、チャネルフィルタ前段での信号の飽和を防止することができる。

【0160】

【発明の効果】

以上の如く、本発明の自動利得制御装置によれば、目的の信号を抽出するためのフィルタの前段に第1の可変利得増幅手段を設けると共に、フィルタの後段に第2、第3の可変利得増幅手段を設け、第1の可変利得増幅手段を制御するための制御信号を、第1の制御信号生成手段が生成する制御信号と、第2の制御信号生成手段が生成する制御信号のどちらにするか、制御信号選択手段により選択することで、フィルタの前段に配置された第1の可変利得増幅手段の制御を、フィルタへ入力信号の変化により制御するか、フィルタからの出力信号の変化により制御するかを選択し、フィルタの帯域外に存在する信号がフィルタの帯域内の信号の利得制御に与える影響を低減することができる。

【0161】

従って、目的の信号を抽出するためのフィルタの帯域外の信号の変動に対応した適切な自動利得制御を実行し、限られたダイナミックレンジを有効に利用することができ、フィルタより前段での信号の飽和を防止することができるという効果が得られる。

【0162】

また、フィルタの後段に第2及び第3の可変利得増幅手段を両方設け、第3の可変利得増幅手段の出力信号を自動利得制御装置の出力とすると共に、フィルタの前段に配置された第1の可変利得増幅手段の制御を、フィルタからの出力信号の変化により第2の制御信号生成手段を用いて制御する場合、第2の制御信号生成手段の制御情報を、第3の制御信号生成手段へ複写し、第3の可変利得増幅手段の利得制御も第2の制御信号生成手段の応答速度により制御を行うことで、必要のない時に、第3の制御信号生成手段の速すぎる応答速度により制御が行われて、装置の出力信号に歪みが発生することを防止できる。

【0163】

従って、チャネルフィルタより前段での信号の変動が少ない時は、チャネルフィルタより後段のA G Cアンプの応答速度を遅くすることで、速いA G C応答により目的の信号に歪みが発生することを抑制することができるという効果が得られる。

【0164】

また、自動利得制御装置の後段に接続された信号復調部より受信信号の品質情報を取得し、前記第1の制御信号生成手段において入力された信号のレベルに基づいた制御信号を生成する際に、該入力された信号のレベルと比較される基準値を、該品質情報の良否に応じて変更する基準値変更手段を備えることで、フィルタの帯域外に存在する信号がフィルタの帯域内の信号の利得制御に与える影響と、フィルタの帯域内の信号が自身の利得制御に与える影響との両方の均衡を保つ制御を行うことができる。

【0165】

同様に、フィルタの帯域内信号レベルと帯域外信号レベルとの比較に基づいて、フィルタより前段の回路とフィルタより後段の回路との利得配分を調整するための利得配分調整手段を備えることで、フィルタの帯域内信号レベルと帯域外信号レベルとの比較に基づいて、フィルタ前後の利得配分を適切に決定することができる。

【0166】

従って、限られたダイナミックレンジを更に有効に利用し、N F (Noise Figure：雑音指数) 低下による信号のS N Rの悪化と、フィルタより前段での信号の飽和との両方のバランスを保ちつつ、最適な状態の信号を自動利得制御装置から出力することができるという効果が得られる。

【0167】

また、各制御信号生成手段が生成する制御信号から、目的の信号のレベルを測定する信号強度算出手段を備えることで、各制御信号生成手段が生成する制御信号から、容易に目的の信号のレベルを測定することができる。

【0168】

従って、フィルタの帯域外、帯域内の信号の状態がどのような状態であっても、最適な状態の信号とそのレベルを自動利得制御装置から出力することができるという効果が得られる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態による自動利得制御装置を備えた無線機の構成を示すブロック図である。

【図 2】 同実施の形態による自動利得制御装置の A G C 検波器（複素入力）の構成を示すブロック図である。

【図 3】 同実施の形態による自動利得制御装置の A G C 制御部の構成を示すブロック図である。

【図 4】 同実施の形態による自動利得制御装置の A G C 応答制御部の構成を示すブロック図である。

【図 5】 同実施の形態による自動利得制御装置の A G C 応答制御部の構成を示すブロック図である。

【図 6】 同実施の形態による自動利得制御装置のチャネルフィルタより後段の A G C アンプにおける制御電圧対利得特性例を示したグラフである。

【図 7】 同実施の形態による自動利得制御装置のチャネルフィルタより前段の A G C アンプにおける制御電圧対利得特性例を示したグラフである。

【図 8】 同実施の形態による自動利得制御装置のファンクションブロックにおける関数 $F N(x)$ の特性の一例を示すグラフである。

【図 9】 本発明の第 2 の実施の形態による自動利得制御装置を備えた無線機の構成を示すブロック図である。

【図 10】 同実施の形態による自動利得制御装置の A G C 検波器（実入力）の構成を示すブロック図である。

【図 11】 同実施の形態による自動利得制御装置の各部の応答波形を示す図である。

【図 12】 本発明の第 3 の実施の形態による自動利得制御装置を備えた無線機の構成を示すブロック図である。

【図 13】 本発明の第 4 の実施の形態による自動利得制御装置を備えた無

線機の構成を示すブロック図である。

【図 14】 本発明の第 5 の実施の形態による自動利得制御装置のチャンネルフィルタより後段の A G C アンプにおける別の制御電圧対利得特性例を示したグラフである。

【図 15】 本発明の第 5 の実施の形態による自動利得制御装置のチャンネルフィルタより前段の A G C アンプにおける別の制御電圧対利得特性例を示したグラフである。

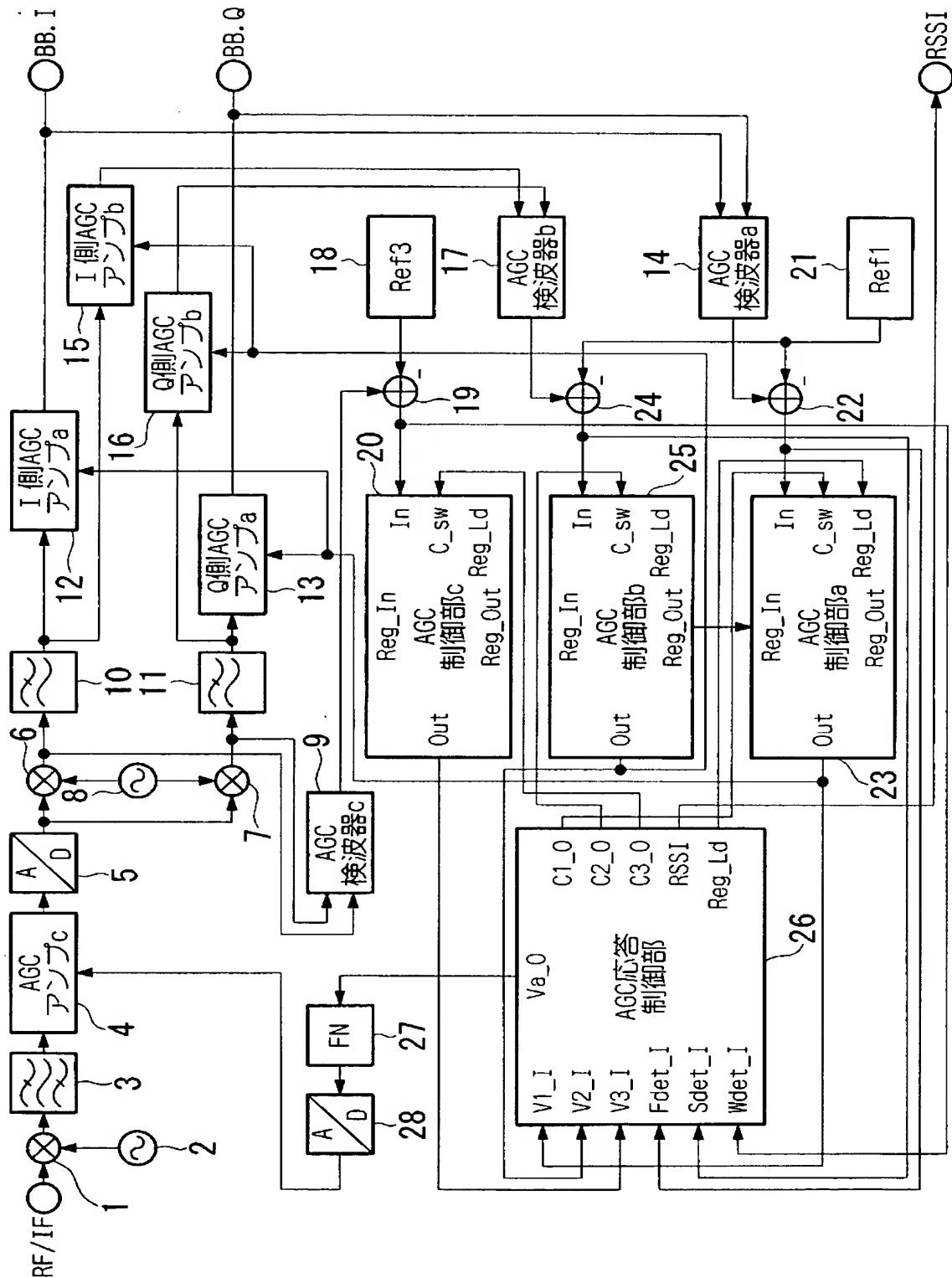
【符号の説明】

1・・・ミキサ、2・・・局部発振器、3・・・バンドパスフィルタ、4・・・A G C アンプ c、5・・・A D 変換器、6・・・I 側ミキサ、7・・・Q 側ミキサ、8・・・デジタル局部発振器、9・・・A G C 検波器 c、10・・・I 側チャンネルフィルタ、11・・・Q 側チャンネルフィルタ、12・・・I 側 A G C アンプ a、13・・・Q 側 A G C アンプ a、14・・・A G C 検波器 a、15・・・I 側 A G C アンプ b、16・・・Q 側 A G C アンプ b、17・・・A G C 検波器 b、18・・・基準値レジスタ、19・・・減算器、20・・・A G C 制御部 c、21・・・基準値レジスタ、22・・・減算器、23・・・A G C 制御部 a、24・・・減算器、25・・・A G C 制御部 b、26・・・A G C 応答制御部、27・・・ファンクションブロック、28・・・D A 変換器、30・・・A G C 検波器 c、31・・・チャンネルフィルタ、32・・・A G C アンプ a、33・・・A G C 検波器 a、34・・・A G C アンプ b、35・・・A G C 検波器 b、36・・・I 側ミキサ、37・・・Q 側ミキサ、38・・・デジタル局部発振器、39・・・A G C アンプ c、40・・・A G C 検波器 c、41・・・A D 変換器、101・・・振幅算出器、102・・・比較器、103・・・積分器、103 a・・・乗算器、103 b・・・加算器、103 c・・・遅延器、103 d・・・乗算器、103 e・・・係数計算器、104・・・スイッチ、105・・・アタック係数レジスタ、106・・・リリース係数レジスタ、201・・・スイッチ、202・・・アタック係数レジスタ、203・・・リリース係数レジスタ、204・・・乗算器、205・・・減算器、206・・・スイッチ、207・・・遅延器、301・・・比較器、302・・・スイッチ、303・・・遅

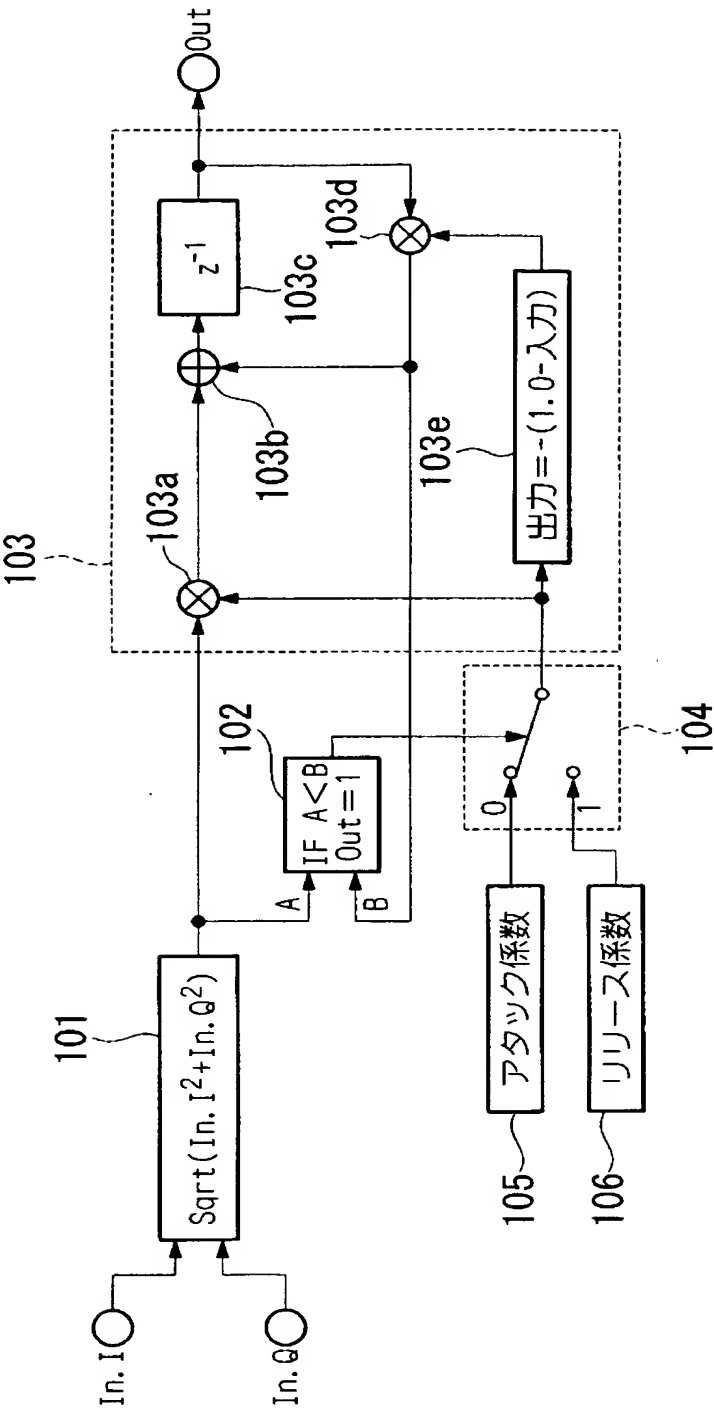
延器、304・・・減算器、305・・・絶対値算出器、306・・・積分器、
306a・・・乗算器、306b・・・加算器、306c・・・遅延器、306
d・・・乗算器、306e・・・係数計算器、307・・・Va制御係数レジス
タ、308・・・比較器、309・・・Va基準値レジスタ、310・・・OR
回路、311・・・AND回路、312・・・減算器、313・・・絶対値算出
器、314・・・比較器、315・・・V1V2差分値レジスタ、316・・・
比較器、317・・・比較器、318・・・収束確認上限値レジスタ、319・
・・収束確認下限値レジスタ、320・・・AND回路、321・・・比較器、
322・・・零レジスタ、323・・・比較器、324・・・比較器、325・
・・比較器、326・・・スイッチ、327・・・減算器、328・・・可変利
得器、329・・・加算器、401・・・絶対値算出器、402・・・比較器、
403・・・積分器、403a・・・乗算器、403b・・・加算器、403c
・・・遅延器、403d・・・乗算器、403e・・・係数計算器、404・
・・スイッチ、405・・・アタック係数レジスタ、406・・・リリース係数レ
ジスタ

【書類名】 図面

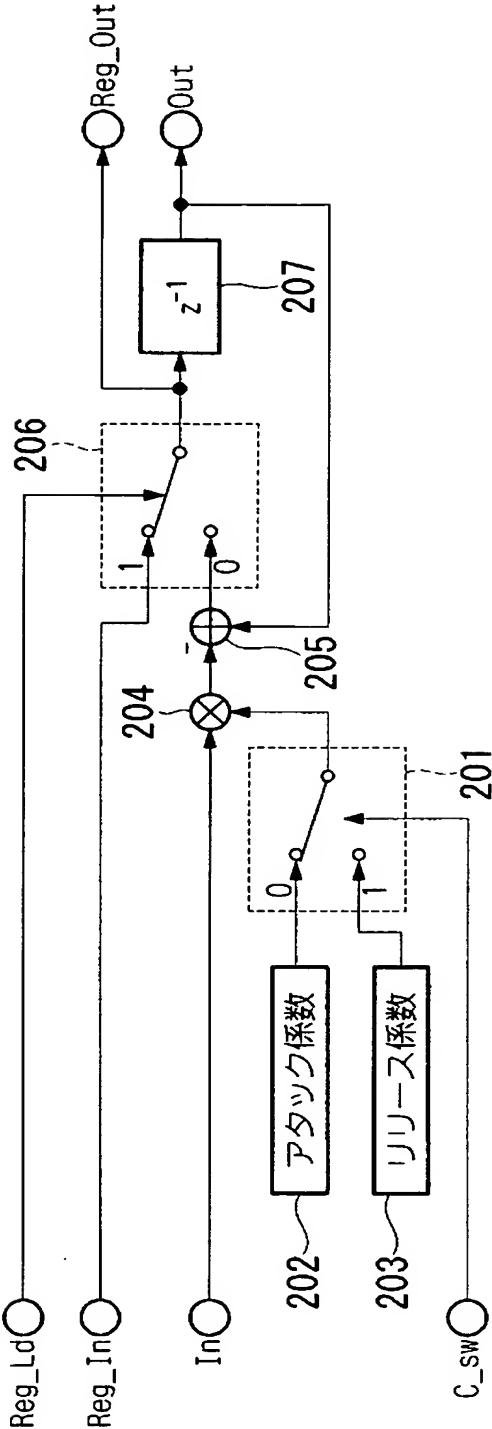
【図 1】



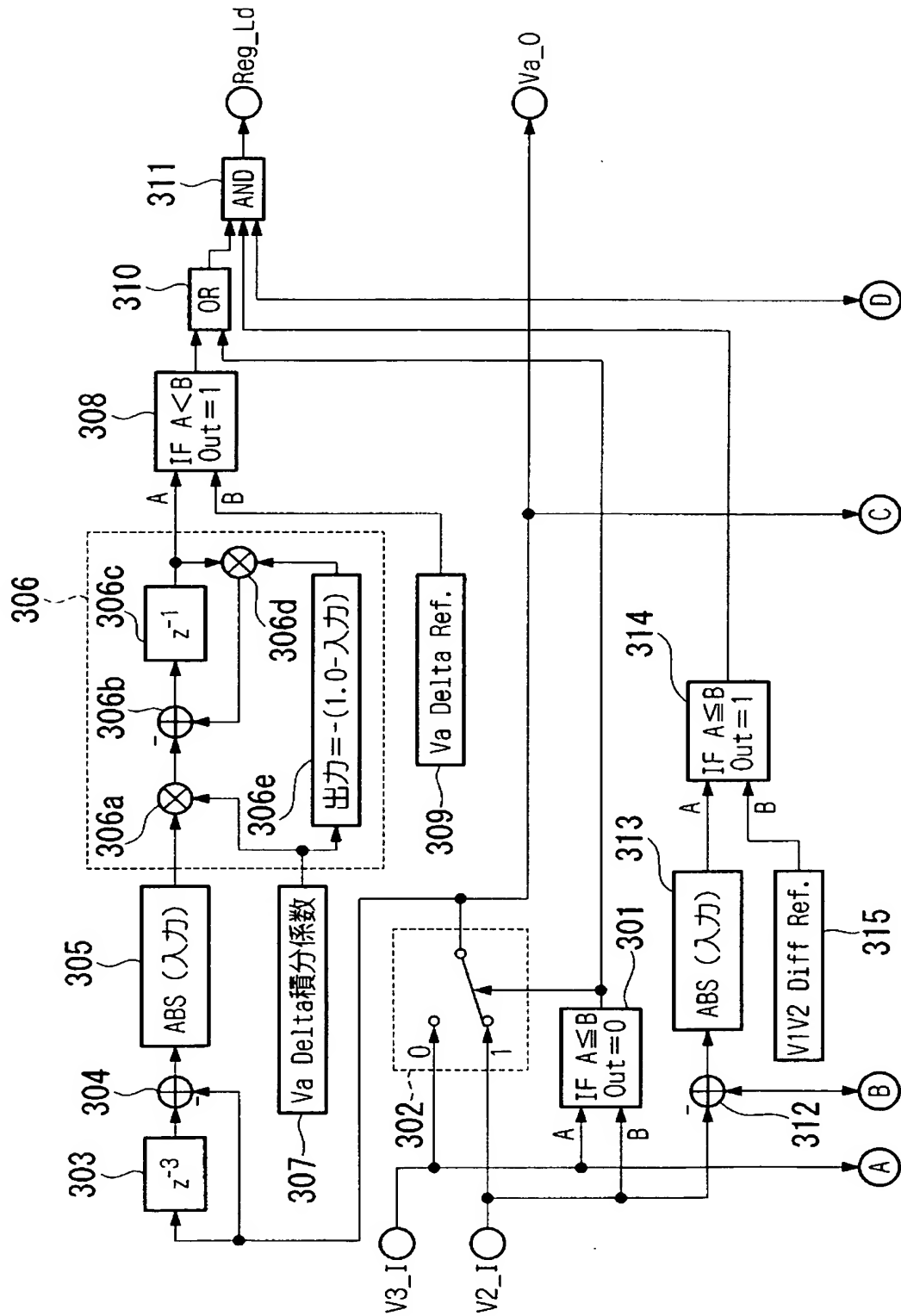
【図 2】



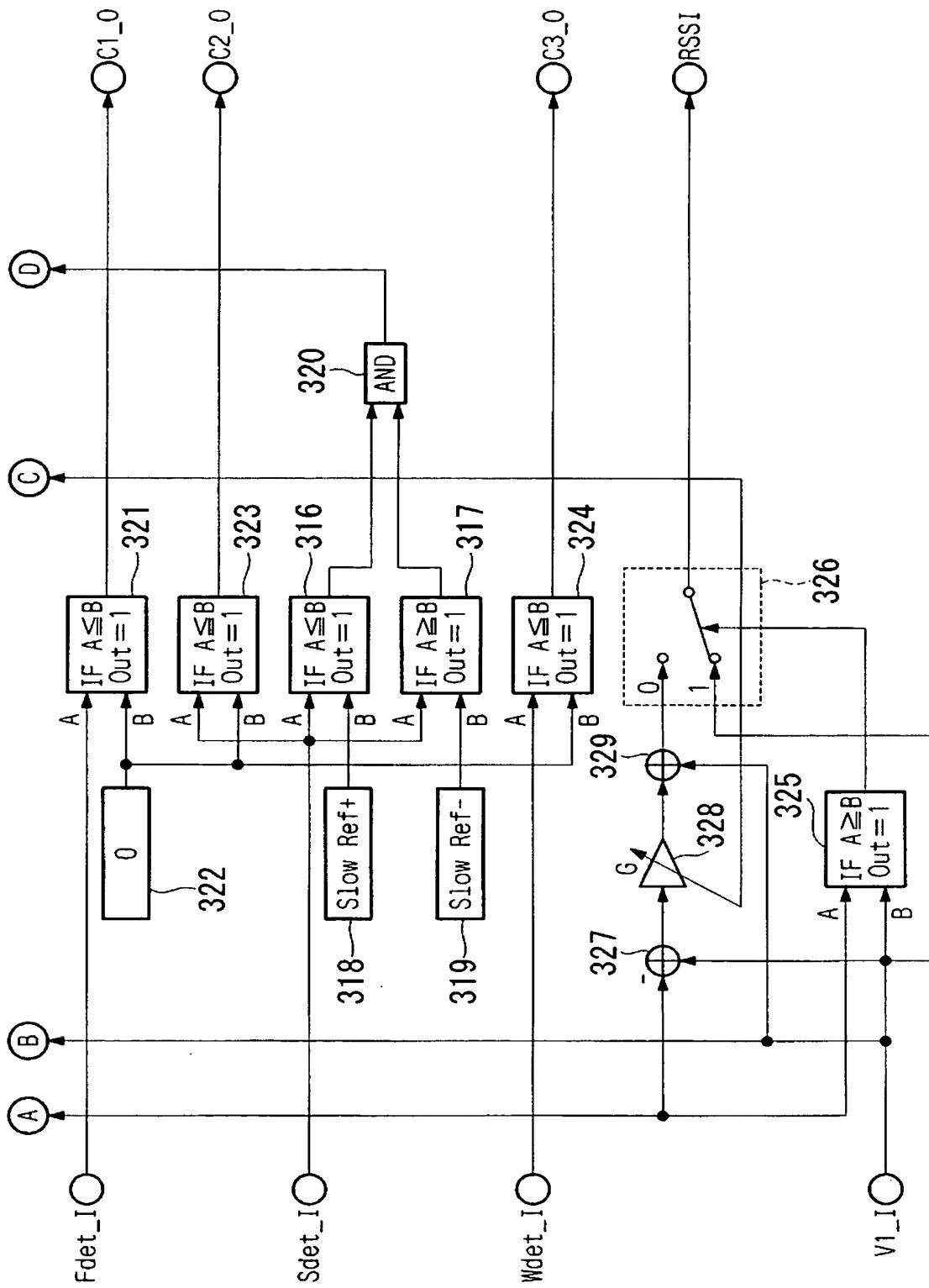
【図 3】



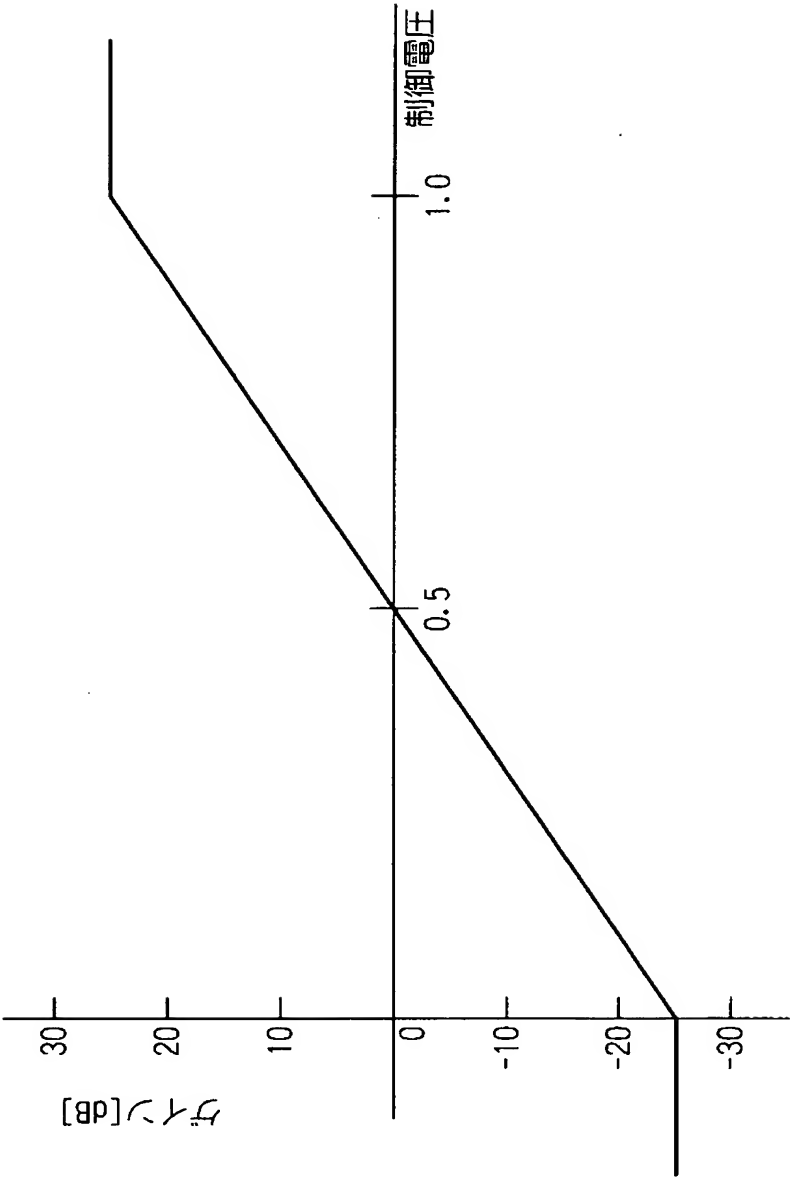
【図 4】



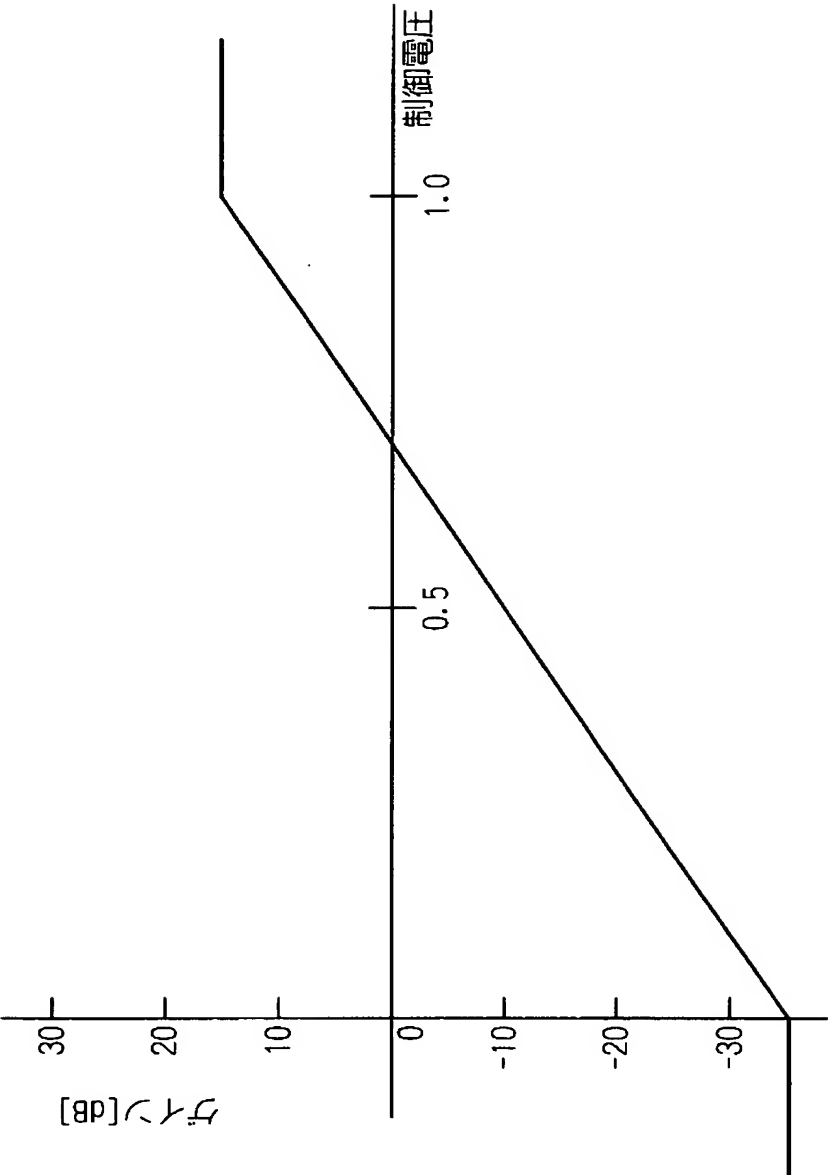
【図 5】



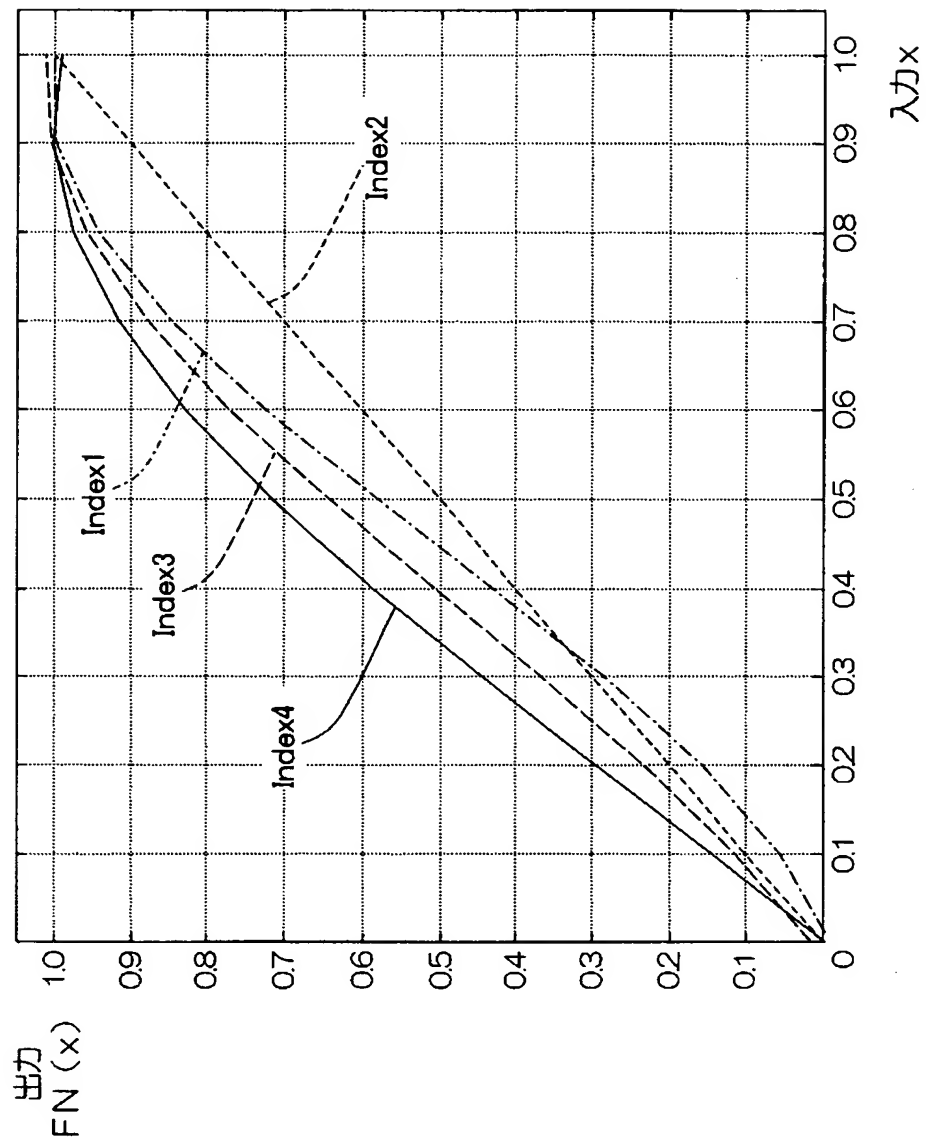
【図 6】



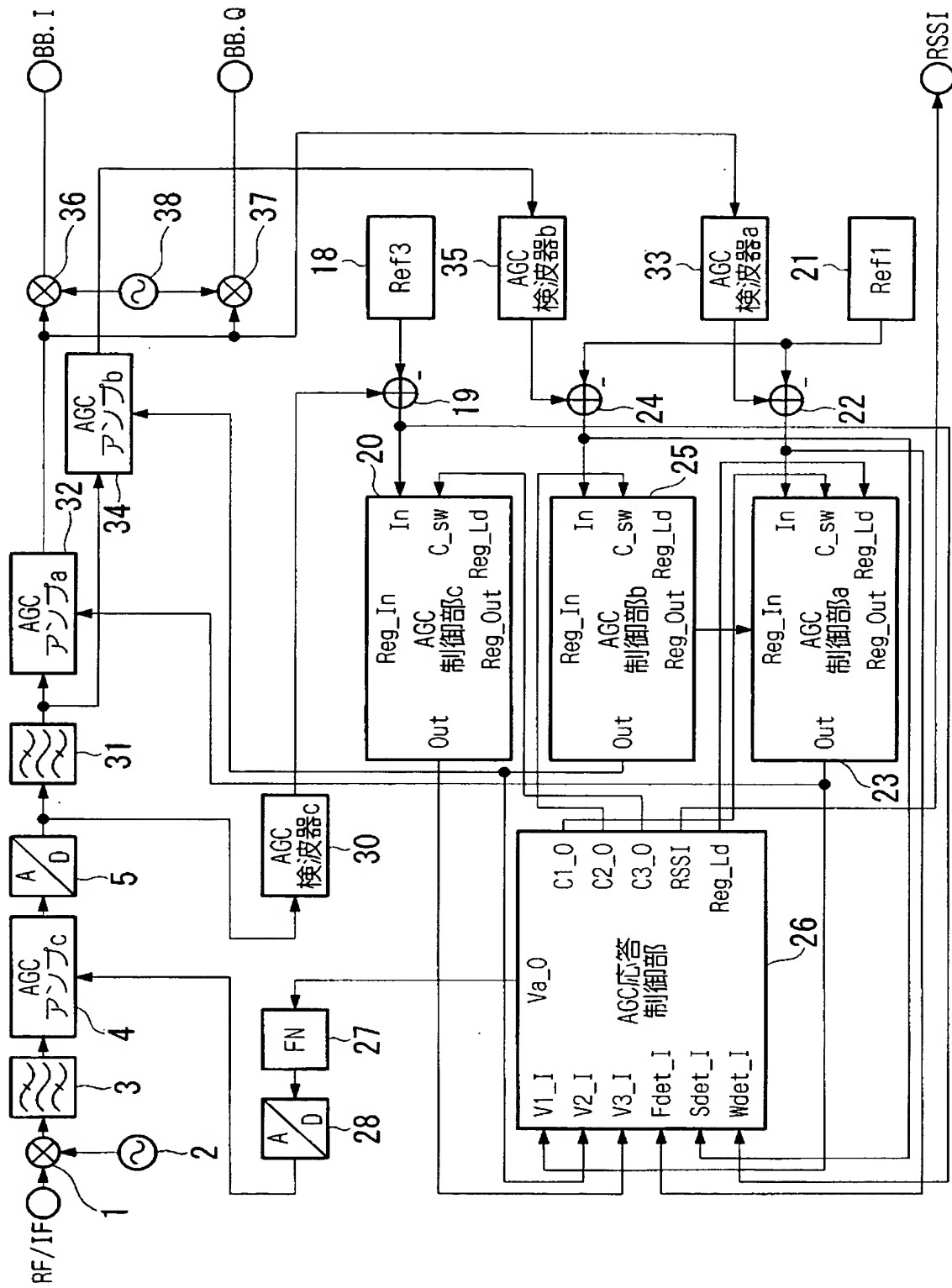
【図 7】



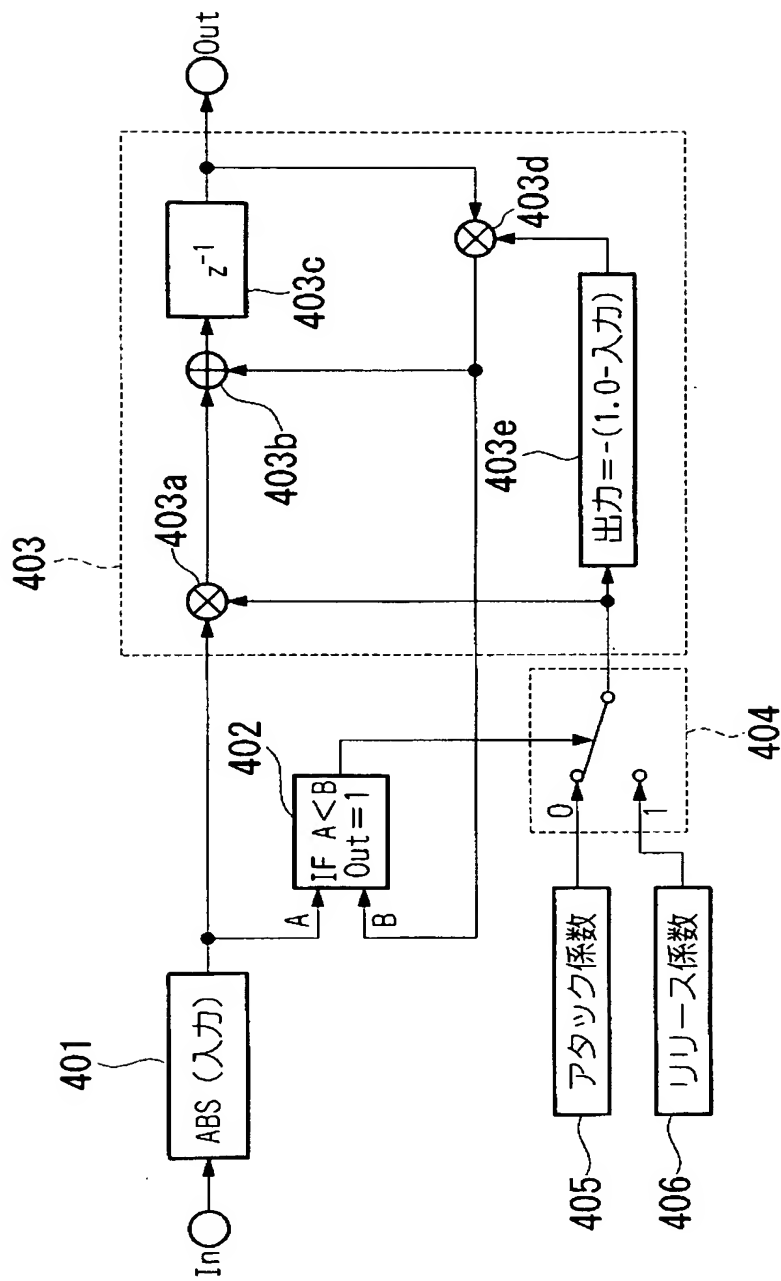
【図 8】



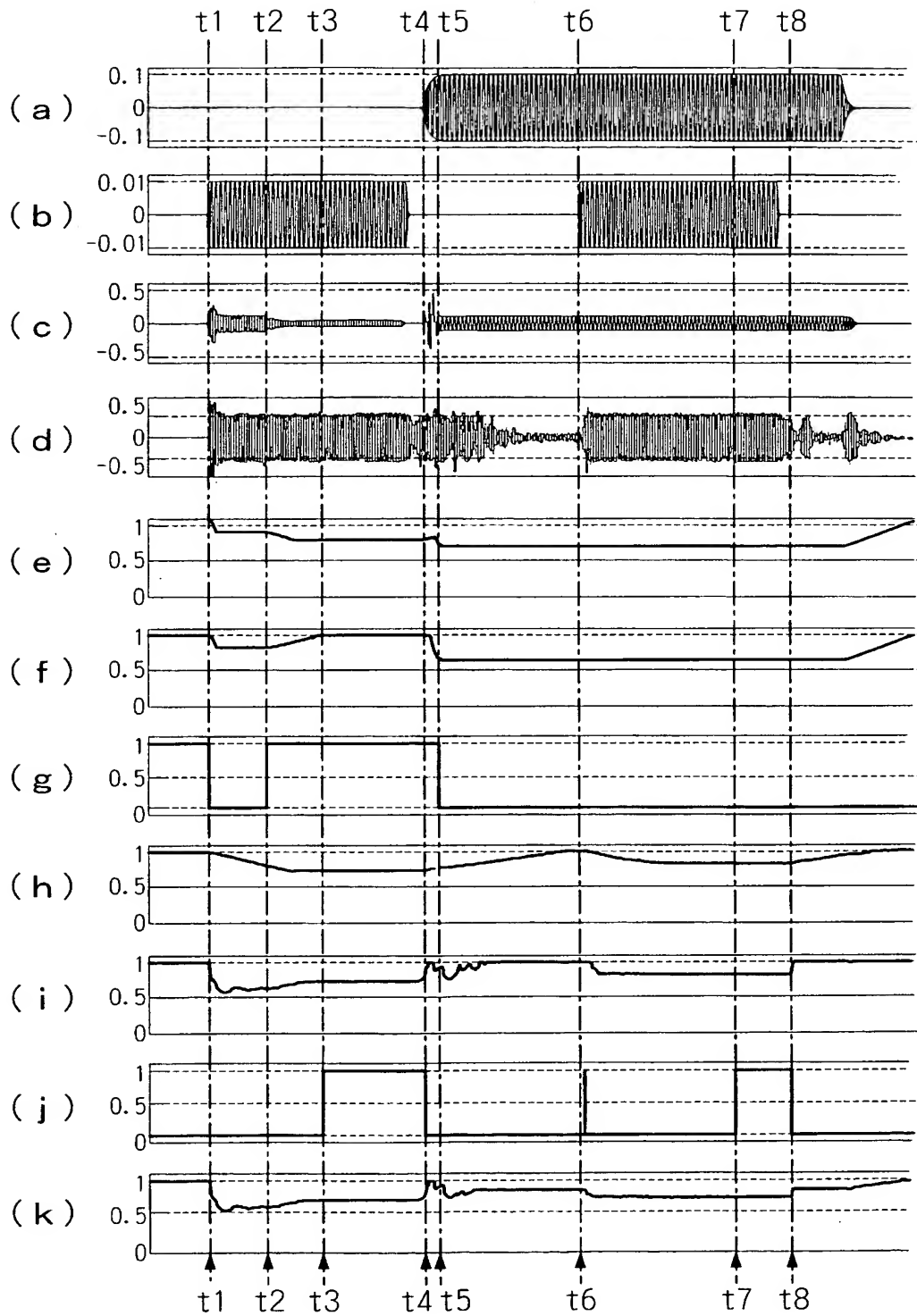
【図 9】



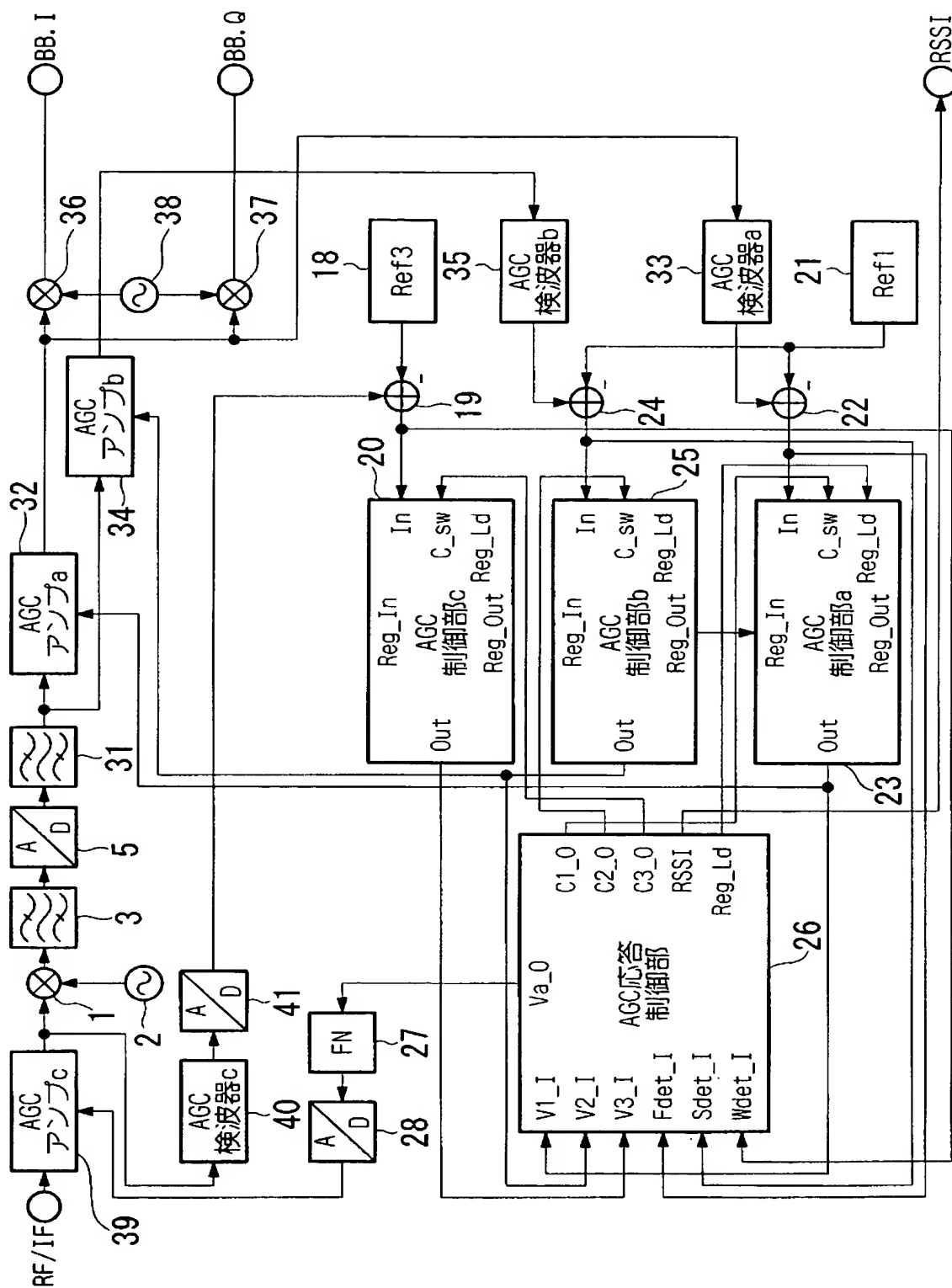
【図 10】



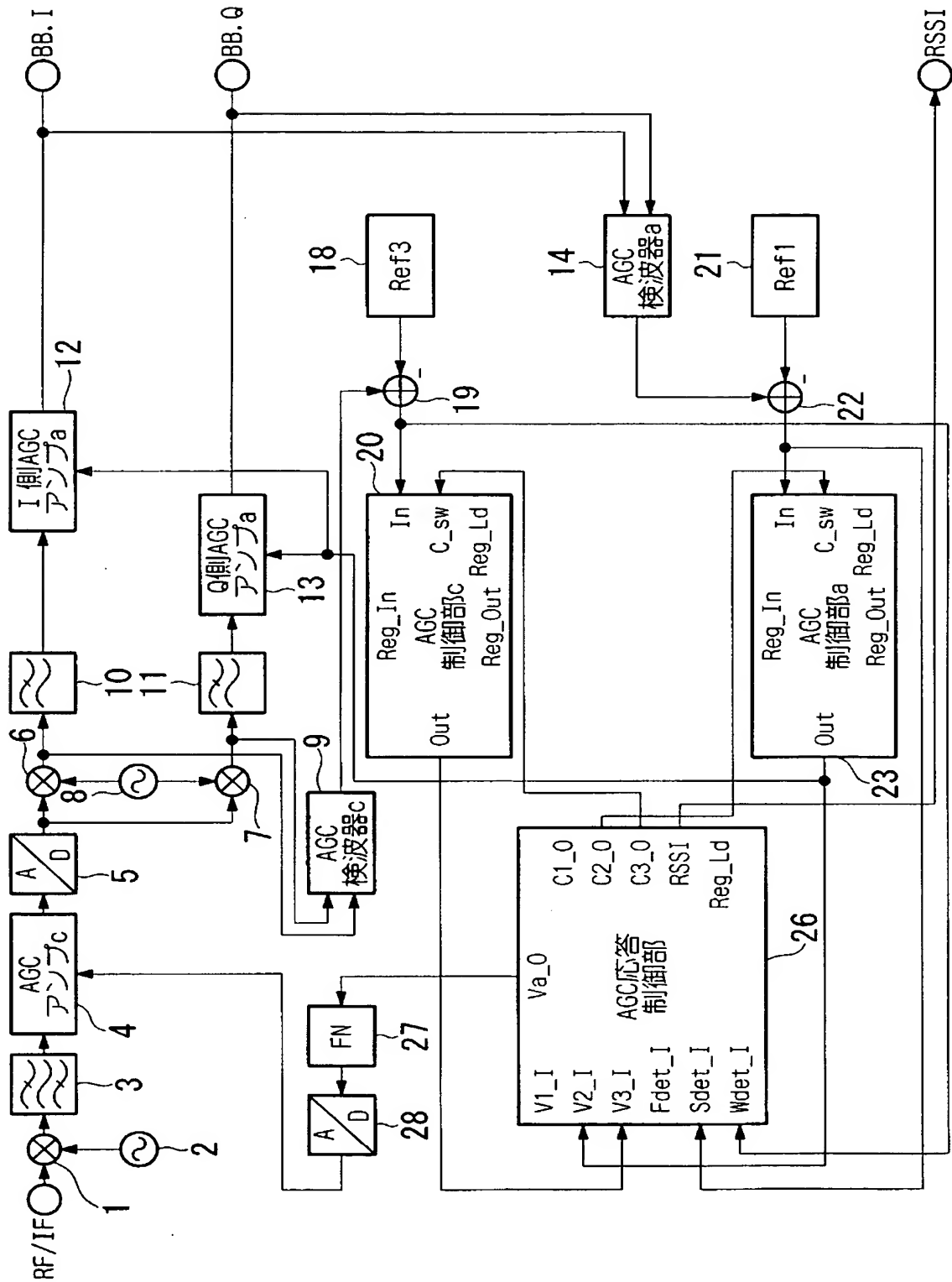
【図 11】



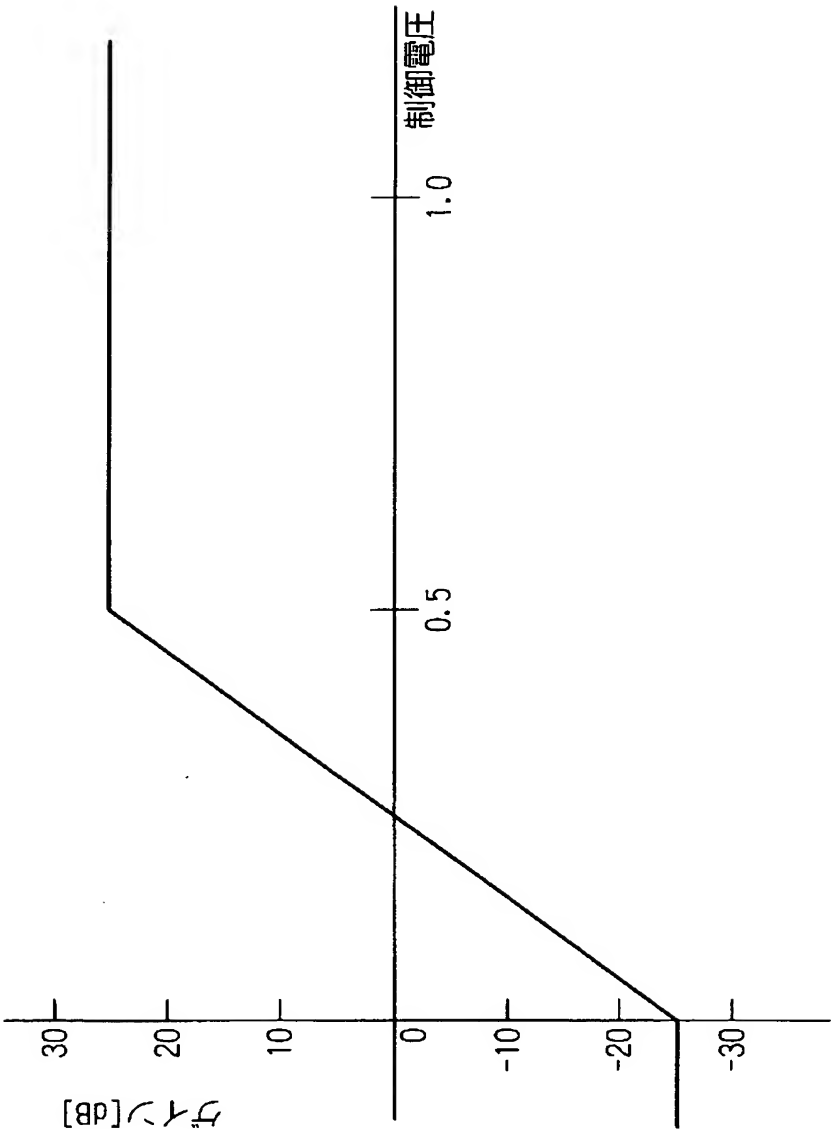
【図 12】



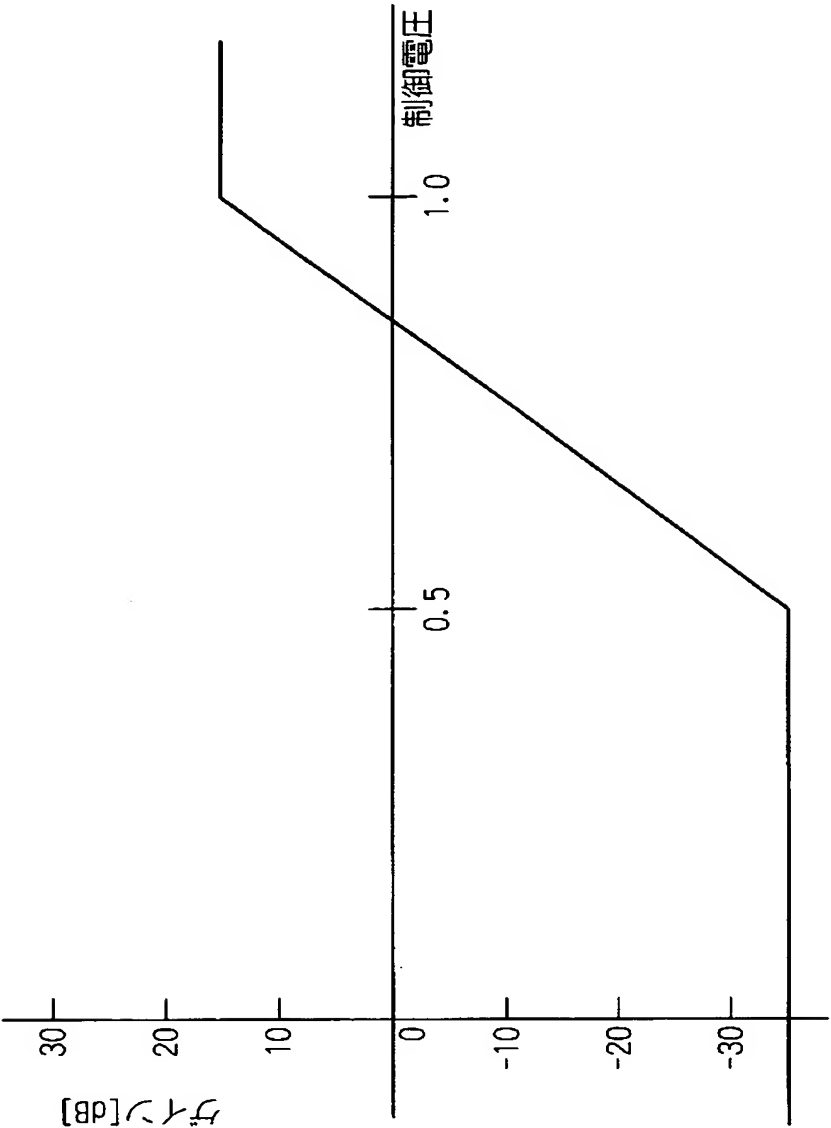
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 目的信号抽出用フィルタの帯域外の信号や、制御信号の遅延による信号の飽和や歪みを低減する自動利得制御装置を提供する。

【解決手段】 A G C 応答制御部 2 6 において、「V 2 __ I 端子」に入力された A G C 制御部 b 2 5 の出力する制御電圧と、「V 3 __ I 端子」に入力された A G C 制御部 c 2 0 の出力する制御電圧とのレベルの比較を行い、「V 3 __ I 端子」信号が、「V 2 __ I 端子」信号以下の場合、A G C 制御部 c 2 0 の出力する制御電圧（「V 3 __ I 端子」信号）により A G C アンプ c 4 を制御する。一方、「V 3 __ I 端子」信号が、「V 2 __ I 端子」信号より大きい場合、A G C 制御部 b 2 5 の出力する制御電圧により A G C アンプ c 4 を制御する。また、A G C アンプ c 4 の利得を抑制することにより、レベルの低下した目的信号は、I 側 A G C アンプ a 1 2 と Q 側 A G C アンプ a 1 3 の利得制御により、目的の信号レベルとして出力する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-059764
受付番号	50300364617
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年 3月 7日

<認定情報・付加情報>

【特許出願人】

【識別番号】 598045058

【住所又は居所】 神奈川県横浜市鶴見区菅沢町2-7

【氏名又は名称】 株式会社サムスン横浜研究所

【代理人】 申請人

【識別番号】 100064908

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100108578

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】 高橋 詔男

【選任した代理人】

【識別番号】 100089037

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】 渡邊 隆

【選任した代理人】

【識別番号】 100101465

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100094400

【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所

次頁有

認定・付加情報 (続き)

【氏名又は名称】 鈴木 三義
【選任した代理人】
【識別番号】 100107836
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビ
ル 志賀国際特許事務所
【氏名又は名称】 西 和哉
【選任した代理人】
【識別番号】 100108453
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビ
ル 志賀国際特許事務所
【氏名又は名称】 村山 靖彦

次頁無

【書類名】 出願人名義変更届
【提出日】 平成15年 9月22日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2003- 59764
【承継人】
 【識別番号】 390019839
 【氏名又は名称】 三星電子株式会社
【承継人代理人】
 【識別番号】 100064908
 【弁理士】
 【氏名又は名称】 志賀 正武
【手数料の表示】
 【予納台帳番号】 008707
 【納付金額】 4,200円
【提出物件の目録】
 【物件名】 譲渡証 1
 【援用の表示】 同日付提出の特願 2 0 0 2 - 3 3 8 2 0 3 に関する出願人名義変更届に添付のものを援用する。
 【包括委任状番号】 9912086



認定・付加情報

特許出願の番号	特願 2003-059764
受付番号	50301561004
書類名	出願人名義変更届
担当官	土井 恵子 4264
作成日	平成 15 年 11 月 4 日

< 認定情報・付加情報 >

【承継人】

【識別番号】	390019839
【住所又は居所】	大韓民国京畿道水原市八達区梅灘洞 4 1 6
【氏名又は名称】	三星電子株式会社

【承継人代理人】

申請人	
【識別番号】	100064908
【住所又は居所】	東京都中央区八重洲 2 丁目 3 番 1 号 志賀国際特許事務所
【氏名又は名称】	志賀 正武



特願 2 0 0 3 - 0 5 9 7 6 4

出 願 人 履 歴 情 報

識別番号

[5 9 8 0 4 5 0 5 8]

1. 変更年月日

1 9 9 8 年 3 月 2 0 日

[変更理由]

新規登録

住 所

神奈川県横浜市鶴見区菅沢町 2 - 7

氏 名

株式会社サムスン横浜研究所

特願 2 0 0 3 - 0 5 9 7 6 4

出 願 人 履 歷 情 報

識別番号

[3 9 0 0 1 9 8 3 9]

1. 変更年月日

1 9 9 3 年 2 月 2 6 日

[変更理由]

住所変更

住 所

大韓民国京畿道水原市八達区梅灘洞 4 1 6

氏 名

三星電子株式会社